

출력 일자: 2002/8/29

발송번호 : 9-5-2002-030814600

수신 : 서울 종로구 수송동 80 대한재보험빌딩

발송일자 : 2002.08.28

5층

제출기일 : 2002.10.28

이병호 귀하

110-140

특허청 의견제출통지서

Notice of Preliminary Rejection

출원인 명칭 세이코 엡슨 가부시기가이샤 (출원인코드: 519980961456)

주소 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

대리인

성명 이병호

주소 서울 종로구 수송동 80 대한재보험빌딩 5층

출원번호

10-2000-7012875

발명의 명칭

반도체 장치 및 그 제조 방법, 회로 기판 및 전자기기

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 전항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아 래]

본원발명은 복수의 전극이 형성된 반도체 소자, 전극과 전기적으로 접속되는 배선 패턴, 배선패턴과 전기적으로 접속하여 이루어지는 외부단자, 배선과 외부단자 주위에 복수의 절연층이 형성된 반도체 장치, 이러한 반도체 장치가 실장한 회로 기판, 이러한 반도체 장치를 갖는 전자기기 및 이들의 제조방법에 관한 것이나, 이러한 것은 공개특허공보 공개번호 98-33347호에서 복수의 전극이 형성된 반도체 소자, 전극과 전기적으로 접속되는 배선 패턴, 배선패턴과 전기적으로 접속하여 이루어지는 외부단자, 배선과 외부단자 주위에 절연층이 형성된 구조와 유사하며, 다만 절연층을 복수개 갖는 구조에 차이가 있으나, 이러한 절연막을 한개를 형성하거나 복수개를 형성하는 것은 구조변경에 불과한 것으로 이 분야에서 통상의 지식을 가진 자라면 인용참증에 의해 용이하게 발명할 수 있는 것입니다.

[참 부]

첨부1 한국공개특허공보 1998-33347호(1998.07.25) 1부 끝.

2002.08.28

특허청

심사4국

반도체1 심사담당관실

심사관 신창우



THIS PAGE BLANK (USPTO)

PCT REQUEST

EPPC-2274

Draft (NOT for submission) - printed on 15.11.2000 01:23:19 PM

0 0-1	For receiving Office use only International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4 0-4-1	Form - PCT/RO/101 PCT Request Prepared using	PCT-EASY Version 2.90 (updated 01.01.2000)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	EPPC-2274
I	Title of invention	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC INSTRUMENT
II II-1 II-2 II-4 II-5	Applicant This person is: Applicant for Name Address:	applicant only all designated States SEIKO EPSON CORPORATION 4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan Japan
II-6 II-7 II-8 II-9	State of nationality State of residence Telephone No. Facsimile No.	JP 03-3348-3114 03-3340-4258
III-1 III-1-1 III-1-2 III-1-4 III-1-5	Applicant and/or inventor This person is: Applicant for Name (LAST, First) Address:	applicant and inventor all designated States HANAOKA, Terunao c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan Jordan
III-1-6 III-1-7	State of nationality State of residence	JP

THIS PAGE BLANK (USPTO)

PCT REQUEST

EPPC-2274

Draft (NOT for submission) - printed on 15.11.2000 01:23:19 PM

III-2	Applicant and/ r inventor	
III-2-1	This person is:	applicant and inventor
III-2-2	Applicant for	all designated States
III-2-4	Name (LAST, First)	ITO, Haruki
III-2-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan , Japan
III-2-6	State of nationality	
III-2-7	State of residence	JP
III-3	Applicant and/or inventor	
III-3-1	This person is:	applicant and inventor
III-3-2	Applicant for	all designated States
III-3-4	Name (LAST, First)	NOZAWA, Kazuhiko
III-3-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan , Japan
III-3-6	State of nationality	
III-3-7	State of residence	JP
IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INOUE, Hajime
IV-1-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan , Japan
IV-1-3	Telephone No.	03-5397-0891
IV-1-4	Facsimile No.	03-5397-0893
IV-1-5	e-mail	MXJ00663@nifty.ne.jp
IV-2	Additional agent(s)	agent
IV-2-1	Name (LAST, First)	FUSE, Yukio
IV-2-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan , Japan

THIS PAGE BLANK (USPTO)

PCT REQUEST

EPPC-2274

Draft (NOT for submission) - printed on 15.11.2000 01:23:19 PM

IV-3	Additional agent(s)	agent
IV-3-1	Name (LAST, First)	OFUCHI, Michie
IV-3-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan Japan
V	Designation of States	
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.	
V-6	Exclusion(s) from precautionary designations	NONE
VI-1	Priority claim of earlier national application	
VI-1-1	Filing date	16 March 1999 (16.03.1999)
VI-1-2	Number	11-69420
VI-1-3	Country	JP
VI-2	Priority claim of earlier national application	
VI-2-1	Filing date	16 March 1999 (16.03.1999)
VI-2-2	Number	11-69421
VI-2-3	Country	JP
VI-3	Priority claim of earlier national application	
VI-3-1	Filing date	18 March 1999 (18.03.1999)
VI-3-2	Number	11-73043
VI-3-3	Country	JP
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)

THIS PAGE BLANK (USPTO)

PCT REQUEST

EPPC-2274

Draft (NOT for submission) - printed on 15.11.2000 01:23:19 PM

VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	27	-
VIII-3	Claims	4	-
VIII-4	Abstract	1	-
VIII-5	Drawings	13	-
VIII-7	TOTAL	49	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract		
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
-------------	---	--

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

EPPC-2274

原本(出願用) - 印刷日時 2000年03月08日 (08.03.2000) 水曜日 10時58分17秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.90 (updated 15.12.1999)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	EPPC-2274
I	発明の名称	半導体装置及びその製造方法、回路基板並びに電子機器
II	出願人	出願人である (applicant only)
II-1	この欄に記載した者は	米国を除くすべての指定国 (all designated States except US)
II-2	右の指定国についての出願人である。	セイコーエプソン株式会社
II-4ja	名称	SEIKO EPSON CORPORATION
II-4en	Name	163-0811 日本国
II-5ja	あて名:	東京都 新宿区
II-5en	Address:	西新宿2丁目4番1号 4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	03-3348-3114
II-9	ファクシミリ番号	03-3340-4258



431 007 190

THIS PAGE BLANK (USPTO)

III-1 III-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja III-1-4en III-1-5ja	氏名(姓名) Name (LAST, First) あて名:	花岡 輝直 HANAOKA, Terunao 392-8502 日本国 長野県 諏訪市 大和3丁目3番5号 セイコーエプソン株式会社内
III-1-5en	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6 III-1-7	国籍(国名) 住所(国名)	日本国 JP 日本国 JP
III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-2-2	右の指定国についての出願人である。	米国のみ (US only)
III-2-4ja III-2-4en III-2-5ja	氏名(姓名) Name (LAST, First) あて名:	伊東 春樹 ITO, Haruki 392-8502 日本国 長野県 諏訪市 大和3丁目3番5号 セイコーエプソン株式会社内
III-2-5en	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-2-6 III-2-7 III-2-8 III-2-9	国籍(国名) 住所(国名) 電話番号 ファクシミリ番号	日本国 JP 日本国 JP 0266-52-3131 0266-58-3243

THIS PAGE BLANK (USPTO)

III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-3-2	右の指定国についての出願人である。	米国のみ (US only)
III-3-4ja III-3-4en III-3-5ja	氏名(姓名) Name (LAST, First) あ て 名:	野澤 一彦 NOZAWA, Kazuhiko 392-8502 日本国 長野県 諏訪市 大和3丁目3番5号 セイコーエプソン株式会社内 c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-3-5en	Address:	
III-3-6	国籍 (国名)	日本国 JP
III-3-7	住所 (国名)	日本国 JP
III-3-8	電話番号	0266-52-3131
III-3-9	ファクシミリ番号	0266-58-3243
IV-1	代理人又は共通の代表者、通知のあ て 名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja IV-1-1en IV-1-2ja	氏名(姓名) Name (LAST, First) あ て 名:	井上 一 INOUE, Hajime 167-0051 日本国 東京都 杉並区 荻窪5丁目26番13号 荻窪TMビル2階 2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-2en	Address:	
IV-1-3	電話番号	03-5397-0891
IV-1-4	ファクシミリ番号	03-5397-0893
IV-1-5	電子メール	MXJ00663@nifty.ne.jp
IV-2	その他の代理人	筆頭代理人と同じあ て 名を有する代理人 (additional agent(s) with same address as first named agent)
IV-2-1ja IV-2-1en	氏名 Name(s)	布施 行夫; 大淵 美千栄 FUSE, Yukio; OFUCHI, Michie
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN JP KR US

THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2000年03月08日（08.03.2000）水曜日 10時58分17秒

EPPC-2274

V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	先の出願日	1999年03月16日 (16.03.1999)	
VI-1-2	先の出願番号	特願平11-69420	
VI-1-3	国名	日本国 JP	
VI-2	先の国内出願に基づく優先権主張		
VI-2-1	先の出願日	1999年03月16日 (16.03.1999)	
VI-2-2	先の出願番号	特願平11-69421	
VI-2-3	国名	日本国 JP	
VI-3	先の国内出願に基づく優先権主張		
VI-3-1	先の出願日	1999年03月18日 (18.03.1999)	
VI-3-2	先の出願番号	特願平11-73043	
VI-3-3	国名	日本国 JP	
VI-4	優先権 証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1, VI-2, VI-3	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	5	-
VIII-2	明細書	27	-
VIII-3	請求の範囲	4	-
VIII-4	要約	1	eppc-2274.txt
VIII-5	図面	13	-
VIII-7	合計	50	
VIII-8	添付書類	添付	添付された電子データ
VIII-9	手数料計算用紙	✓	-
VIII-16	別個の記名押印された委任状	✓	-
VIII-17	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振入を証明する書面	-
VIII-18	要約書とともに提示する図の番号	1	

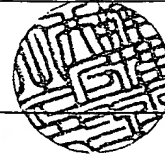
THIS PAGE BLANK (USPTO)

特許協力条約に基づく国際出願願書

EPPC-2274

原本（出願用） - 印刷日時 2000年03月08日（08.03.2000）水曜日 10時58分17秒

VIII-19	国際出願の使用言語名:	日本語 (Japanese)
IX-1	提出者の記名押印	
IX-1-1	氏名(姓名)	井上 一



受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

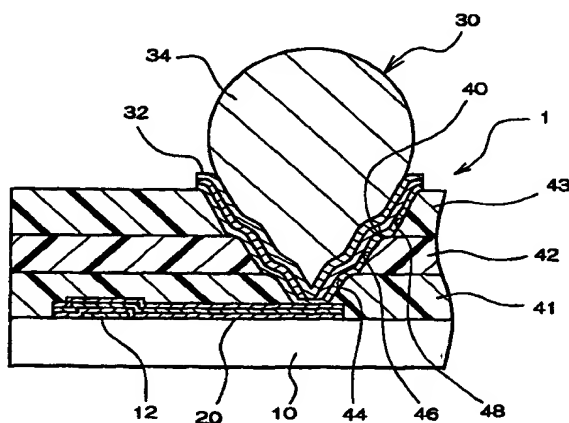
THIS PAGE BLANK (USPTO)

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 H01L 21/60	A1	(11) 国際公開番号 WO00/55898 (43) 国際公開日 2000年9月21日(21.09.00)
(21) 国際出願番号 PCT/JP00/01387 (22) 国際出願日 2000年3月8日(08.03.00) (30) 優先権データ 特願平11/69420 1999年3月16日(16.03.99) JP 特願平11/69421 1999年3月16日(16.03.99) JP 特願平11/73043 1999年3月18日(18.03.99) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 花岡輝直(HANAOKA, Terunao)[JP/JP] 伊東春樹(ITO, Haruki)[JP/JP] 野澤一彦(NOZAWA, Kazuhiko)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)		(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP) (81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54)Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54)発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract

A semiconductor device comprises a semiconductor element (10) with a plurality of electrodes (12), a wiring pattern (20) connected electrically with the electrodes (12), a plurality of insulating layers (41, 42, 43), and a plurality of external terminals (30) connected electrically with the wiring pattern (20). The insulating layers (41, 42, 43) each include a plurality of holes (44, 46, 48), which are communicating with one another to form an opening (40). The external terminals (30) are located in the respective openings (40). The second hole (46) formed in the second insulating layer (42) is larger than the first hole (44) formed in the first insulating layer (41) under the second layer.

半導体装置は、複数の電極（１２）を有する半導体素子（１０）と、電極（１２）に電氣的に接続される配線パターン（２０）と、積層された複数の絶縁層（４１、４２、４３）と、配線パターン（２０）に電氣的に接続される複数の外部端子（３０）と、を含み、それぞれの絶縁層（４１、４２、４３）には、複数の穴（４４、４６、４８）が形成され、最上層の絶縁層（４３）の穴（４８）から最下層の絶縁層（４１）の穴（４４）までが連通して開口部（４０）を形成し、それぞれの外部端子（３０）は、それぞれの開口部（４０）内に設けられ、下側に位置する第１の絶縁層（４１）に形成される第１の穴（４４）よりも、上側に位置する第２の絶縁層（４２）に形成される第２の穴（４６）が大きい。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BG	ブルガリア	GH	ガーナ	MC	モナコ	TG	トーゴ
BH	バーレーン	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボワール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

半導体装置及びその製造方法、回路基板並びに電子機器

〔技術分野〕

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

〔背景技術〕

半導体装置の高密度実装を追求すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、CSP (Chip Scale/Size Package) が適用された半導体装置が開発されている。CSPについては正式な定義はないが、一般に、パッケージサイズがICチップと同じか、ICチップよりわずかに大きいICパッケージと解されている。高密度実装を推進するためには、CSP技術の開発が重要である。CSPに関する従来例を開示する刊行物として、国際公開WO 95/08856号公報がある。

これによれば、外部端子を有する基板と半導体チップとの間にギャップが形成され、このギャップに樹脂が注入される。この樹脂は、硬化したときに弾力性を有するものである。この弾力性を有する樹脂によって、外部端子に加えられた応力（熱ストレス）が吸収される。なお、この応力は、半導体装置と、この半導体装置が実装される回路基板との熱膨張率の差によって生じる。

しかしながら、半導体チップの基板との間に注入される樹脂は、厚い層にすることが難しいため、十分な熱ストレスの吸収がなされていなかった。

〔発明の開示〕

本発明は、この問題点を解決するものであり、その目的は、熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

（１）本発明に係る半導体装置は、複数の電極が形成されてなる半導体素子と、

前記電極と電氣的に接続される配線パターンと、

前記配線パターンと電氣的に接続してなる外部端子と、

を有してなり、

前記配線パターン上の、前記外部端子の周囲には複数の絶縁層が形成されてなる。

本発明で、半導体素子とは、個々の半導体チップのみならず、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウエーハ等）のうちのそれぞれの素子も含む。

本発明によれば、複数の絶縁層によって、外部端子に加えられた応力が分散しやすくなっている。

なお、本発明では、複数の絶縁層は、2層のみならずそれ以上の層であってもよい。

(2) この半導体装置において、

前記複数の絶縁層のうち少なくとも一つは、応力緩和機能を有していてもよい。

これによれば、外部端子に加えられた応力は、絶縁層にて吸収される。

(3) この半導体装置において、

前記複数の絶縁層のうち少なくとも一つは、樹脂からなるものでもよい。

(4) この半導体装置において、

前記各絶縁層が前記外部端子と接する開口部は、下層から上層に向けて大きくなるテーパが付けられた傾斜面であってもよい。

これによれば、穴の内面が傾斜面なので、外部端子と絶縁層とが広い面積で接触して応力を吸収する。

(5) この半導体装置において、

前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、

前記台座が、前記各絶縁層が前記外部端子と接する開口部に接触して設けられてもよい。

これによれば、台座が複数の絶縁層に接触して応力が緩和される。

(6) この半導体装置において、

前記各絶縁層が前記外部端子と接する開口部は、曲面を以て形成されていてもよい。

特に、台座が開口部の内面に形成されている場合には、開口端部に角がないので、

台座の破断が防止される。

(7) この半導体装置において、

前記配線パターンは、前記複数の絶縁層よりも下層に形成された応力緩和層上に形成されてもよい。

これによって、応力を一層吸収できるようになる。

(8) この半導体装置において、

最上層の前記絶縁層は、前記外部端子の形成領域を除き、最上層から2番目の絶縁層の表面全体上に形成されていてもよい。

(9) この半導体装置において、

最上層の前記絶縁層は、最上層から2番目の絶縁層が形成されている領域の面積よりも小さく形成されてもよい。

(10) この半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含んでもよい。

外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応する特性にすることができる。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応する特性にすることができる。このように、特性の異なる上側の層及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(11) この半導体装置において、

前記上側の層の絶縁層の熱膨張係数は、前記下側の層の絶縁層の熱膨張係数よりも大きくてもよい。

ここで、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨

張及び収縮が小さいことに対応して、熱膨張係数を小さくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、熱膨張係数を大きくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(12) この半導体装置において、

前記下側の層の絶縁層のヤング率は、前記上側の層の絶縁層のヤング率よりも大きくてもよい。

ここで、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、ヤング率を大きくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、ヤング率を小さくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(13) 本発明に係る半導体装置は、複数の電極が形成されてなる半導体素子と、

前記電極と電氣的に接続してなる配線パターンと、

前記配線パターンと電氣的に接続してなる外部端子と、

を有してなり、

少なくとも1層よりなり、凹凸部を有する絶縁層上に前記配線パターンは形成され、前記凹部に外部端子が形成されてなる。

本発明で、半導体素子とは、個々の半導体チップのみならず、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウェーハ等）のうちのそれぞれの素子も含む。

本発明によれば、配線パターンが、絶縁層上に形成されており、かつ、凹部で外部端子に電氣的に接続されている。すなわち、配線パターンと外部端子との電氣的な接続部分が、絶縁層上に位置している。こうして、配線パターンと外部端子との電氣的接続を効果的に確保することができる。また、配線パターンは、絶縁層上に形成され

ているので、破断が防止されるようになっている。さらに、配線パターンは、絶縁層上に形成されており半導体素子から離れている。したがって、半導体素子内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。

(14) この半導体装置において、

前記絶縁層は、応力緩和機能を有していてもよい。

これによれば、配線パターンと外部端子との電氣的な接続部分に加えられる応力も、絶縁層によって吸収される。

(15) この半導体装置において、

前記絶縁層は、樹脂からなるものであってもよい。

(16) この半導体装置において、

前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、前記台座と前記配線パターンとが一つの部材で構成されていてもよい。

こうすることで、外部端子の一部と配線パターンとが一体的に形成されるので、両者間に抵抗が形成されることを防止できる。

(17) この半導体装置において、

前記凹部は、底部よりも開口端部が大きく形成されていてもよい。

これによれば、凹部の内面が傾斜面なので、外部端子と絶縁層とが広い面積で接触して応力を吸収する。

(18) この半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含んでもよい。

(19) この半導体装置において、

前記絶縁層は、前記半導体素子上に形成され、

前記下側の層の熱膨張係数は、前記上側の層の熱膨張係数よりも小さくてもよい。

外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板（マザーボード）と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層は、半導体素子に対

応して熱膨張係数を小さくしてある。一方、回路基板に近くなる上側の層は、回路基板に対応して熱膨張係数を大きくしてある。このように、特性の異なる複数の層を使用することで、応力を効果的に吸収することができる。

(20) この半導体装置において、

前記半導体装置の最上層には保護膜が形成されていてもよい。

(21) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(22) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(23) 本発明に係る電子機器は、上記半導体装置を有する。

(24) 本発明に係る電子機器は、上記半導体装置を有する。

(25) 本発明に係る半導体装置の製造方法は、半導体素子の複数の電極に電氣的に接続させて配線パターンを形成し、前記配線パターン上に外部端子を形成する工程を含む半導体装置の製造方法であって、

前記配線パターン上の、前記外部端子の周囲に複数の絶縁層を形成する。

本発明で、半導体素子とは、個々の半導体チップであってもよいが、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウェーハ等）のうちのそれぞれの素子も含む。すなわち、本発明は、半導体ウェーハのような素子の集合体に対して適用してもよい。

本発明によって製造される半導体装置によれば、外部端子に加えられた応力が分散しやすくなっている。

なお、本発明では、複数の絶縁層は、2層のみならずそれ以上の層であってもよい。

(26) この製造方法において、

前記絶縁層を形成した後に、前記外部端子を形成し、

前記各絶縁層に、前記外部端子と接する開口部を形成する工程では、

第1の絶縁層を形成し、

前記第1の絶縁層に、第1の穴を形成し、

前記第1の穴及び前記第1の絶縁層上に、第2の絶縁層を形成し、

前記第1の穴の上方で、前記第2の絶縁層に第2の穴を形成してもよい。

これによれば、1層の絶縁層を形成して、これに穴を形成する工程を繰り返して、

開口部を有する複数の絶縁層を形成することができる。複数の絶縁層を積層することで、合計して厚い絶縁層となる。1層の厚い絶縁層に開口部を直接形成することは難しいが、この方法を適用することで、実質的に1層の厚い絶縁層に等しい構成を得ることができる。

(27) この半導体装置の製造方法において、

前記複数の絶縁層のうち少なくとも一つとして、応力緩和機能を有するものを使用してもよい。

これによれば、外部端子に加えられた応力が絶縁層にて吸収される半導体装置を製造することができる。

(28) この半導体装置の製造方法において、

前記複数の絶縁層のうち少なくとも一つとして、樹脂からなるものを使用してもよい。

(29) この半導体装置の製造方法において、

前記絶縁層を、特性の異なる上側の層及び下側の層を含むように形成してもよい。

これによって製造される半導体装置では、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応する特性にすることができる。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応する特性にすることができる。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(30) この半導体装置の製造方法において、

前記下側の層の絶縁層のヤング率を、前記上側の層の絶縁層のヤング率よりも大きくしてもよい。

これによって製造された半導体装置において、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によ

て生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、ヤング率を大きくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、ヤング率を小さくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(31) この半導体装置の製造方法において、

前記上側の層の絶縁層の熱膨張係数を、前記下側の層の絶縁層の熱膨張係数よりも大きくしてもよい。

これによって製造された半導体装置において、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、熱膨張係数を小さくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、熱膨張係数を大きくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(32) 本発明に係る半導体装置の製造方法は、半導体素子上に、少なくとも1層よりなり、凹凸部を有する絶縁層を形成し、

前記絶縁層上に、前記半導体素子の複数の電極に接続してなる配線パターンを形成し、

前記凹部に、前記配線パターンと電氣的に接続してなる外部端子を形成する。

本発明で、半導体素子とは、個々の半導体チップであってもよいが、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウエーハ等）のうちのそれぞれの素子も含む。すなわち、本発明は、半導体ウエーハのような素子の集合体に対して適用してもよい。

本発明によれば、配線パターンを、絶縁層上であって、かつ、凹部で外部端子に電氣的に接続させて形成する。すなわち、配線パターンと外部端子との電氣的な接続部分を、絶縁層上に配置している。こうして、配線パターンと外部端子との電氣的接続を効果的に確保することができる。また、配線パターンを絶縁層上に形成するので、その破断が防止されるようになっている。さらに、配線パターンは、絶縁層上に形成されており半導体素子から離れている。したがって、半導体素子内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。

(33) この半導体装置の製造方法において、

前記凹部の内面で前記外部端子の下地となる台座を、前記配線パターンとともに一つの部材で形成し、

前記台座上に接合部を設けて前記外部端子を形成してもよい。

これによれば、配線パターンと台座を一体的に形成するので、両者を一度に形成することができる。この場合、外部端子の一部と配線パターンとの間に抵抗が形成されることを防止できる。

(34) この半導体装置の製造方法において、

前記絶縁層として、応力緩和機能を有するものを使用してもよい。

これによれば、配線パターンと外部端子との電氣的な接続部分に加えられる応力も、絶縁層によって吸収することができる。

(35) この半導体装置の製造方法において、

前記絶縁層として、樹脂からなるものを使用してもよい。

(36) この半導体装置の製造方法において、

前記半導体装置の最上層に、保護膜を形成してもよい。

[図面の簡単な説明]

図1は、本発明の第1の実施の形態に係る半導体装置を示す断面図である。

図2は、本発明の第1の実施の形態に係る半導体装置を示す平面図である。

図3は、本発明の第1の実施の形態に係る半導体装置の製造方法を示す図である。

図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 5 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 6 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 7 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 8 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 9 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 10 は、本発明の第 2 の実施の形態に係る半導体装置を示す図である。

図 11 は、本発明の第 3 の実施の形態に係る半導体装置を示す図である。

図 12 は、本発明の第 4 の実施の形態に係る半導体装置を示す図である。

図 13 は、本発明の第 5 の実施の形態に係る半導体装置を示す断面図である。

図 14 は、本発明の第 5 の実施の形態に係る半導体装置を示す平面図である。

図 15 は、本発明の第 6 の実施の形態に係る半導体装置を示す図である。

図 16 は、本発明の第 7 の実施の形態に係る半導体装置を示す断面図である。

図 17 は、本発明の第 7 の実施の形態に係る半導体装置を示す平面図である。

図 18 は、本発明の第 8 の実施の形態に係る半導体装置を示す図である。

図 19 は、本発明の第 9 の実施の形態に係る半導体装置を示す図である。

図 20 は、本発明の第 10 の実施の形態に係る半導体装置を示す図である。

図 21 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

図 22 は、本実施の形態に係る半導体装置を電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第 1 の実施の形態)

図 1 は、第 1 の実施の形態に係る半導体装置を示す図である。この半導体装置 1 は、半導体チップ 10 と、配線パターン 20 と、外部端子 30 と、複数の絶縁層 41、42、43 と、を含む。半導体装置 1 は、そのパッケージサイズが半導体チップ 10 にほぼ等しいので、CSP に分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体チップ10の一つの面（能動面）には、複数の電極12が形成されている。複数の電極12は、半導体チップ10の平面形状が矩形（正方形又は長方形）である場合には、少なくとも一辺（対向する二辺又は全ての辺を含む）に沿って形成されている。あるいは、半導体チップ10の一方の面の中央に複数の電極12を形成してもよい。電極12を避けて、半導体チップ10には、SiN、SiO₂、MgOなどのパッシベーション膜が形成されている。パッシベーション膜は電氣的な絶縁膜である。

配線パターン20は、半導体チップ10における電極12が形成された面で、電極12に電氣的に接続されて形成されている。配線パターン20は、複数層から構成されることが多い。例えば、銅（Cu）、クロム（Cr）、チタン（Ti）、ニッケル（Ni）、チタニウム（Ti-W）、金（Au）、アルミニウム（Al）、ニッケルバナジウム（NiV）、タングステン（W）のうちのいずれかを積層して配線パターン20を形成することができる。電極12が半導体チップ10の端部に形成されている場合には、半導体チップ10の中央方向に、配線パターン20を引き込む。

外部端子30は、電極12の真上を避けて、配線パターン20上に形成されている。電極12の真上を避けているので、外部端子30に加えられた応力が電極12に直接加えられないようになっている。外部端子30は、台座32と、接合部34と、からなる。接合部34は、例えばハンダボールなどであって、回路基板との電氣的な接合に使用される。台座32は、接合部34を受けやすいように、中央がくぼむ形状をなしている。台座32も、複数層で形成してもよく、配線パターン20として選択可能な材料で形成することができる。

複数の絶縁層41、42、43は、積層されて形成されており、各層の間に別の層が介在してもよい。絶縁層41、42、43の各層は、それぞれの外部端子30の一部分の周囲に設けられている。詳しくは、外部端子30の一部（例えば台座32の一部）が配線パターン20に接合されており、台座32の下端部の周囲に最下層の絶縁層41が設けられている。また、台座32の上端部の周囲に最上層の絶縁層43が設けられている。そして、最下層の絶縁層41と最上層の絶縁層43との間で、台座32の中間部に、少なくとも一つの絶縁層42が形成されている。

絶縁層41、42、43のうち少なくとも一つは、応力緩和機能を有してもよい。

絶縁層 4 1、4 2、4 3 は、ポリイミド樹脂、シリコン変性ポリイミド樹脂、エポキシ樹脂、シリコン変性エポキシ樹脂、ベンゾシクロブテン（B C B ; benzocyclobutene）、ポリベンゾオキサゾール（P B O ; polybenzoxazole）等で形成することができる。なお、最下層の絶縁層 4 1 は、電極 1 2、配線パターン 2 0 及び図示しないパッシベーション膜上に形成されている。最上層の絶縁層 4 3 は、外部端子 3 0 の形成領域を除き、最上層から 2 番目の絶縁層 4 2 の表面全体上に形成されている。

最下層の絶縁層 4 1 には、複数の穴 4 4 が形成されている。穴 4 4 は、配線パターン 2 0 における外部端子 3 0 との接合部上に形成されている。穴 4 4 の内面は、底部よりも開口端部が大きくなるテーパが付けられた傾斜面となっている。また、穴 4 4 の開口端部は、曲面を以て形成されている。

中間層、例えば最下層から 2 番目の絶縁層 4 2 には、穴 4 6 が形成されている。この穴 4 6 は、最下層の絶縁層 4 1 に形成された穴 4 4 の上方に形成されている。穴 4 6 の内面は、底部よりも開口端部が大きくなるテーパが付けられた傾斜面となっている。

最上層の絶縁層 4 3 には、複数の穴 4 8 が形成されている。この穴 4 8 は、最下層の絶縁層 4 1 に形成された穴 4 4 及び中間層の絶縁層 4 2 に形成された穴 4 6 の上方に形成されている。

本実施の形態では、下側に位置する第 1 の絶縁層に形成される第 1 の穴よりも、その上側に位置する第 2 の絶縁層に形成される第 2 の穴が大きい。ここで、第 1 及び第 2 の絶縁層は、上述した複数の絶縁層 4 1、4 2、4 3 のうちの任意の 2 層をいう。

例えば、最下層の絶縁層 4 1 を第 1 の絶縁層と定義し、その上の絶縁層 4 2 を第 2 の絶縁層と定義することができる。その場合、第 1 の絶縁層 4 1 に形成された第 1 の穴 4 4 よりも、第 2 の絶縁層 4 2 に形成された第 2 の穴 4 6 が大きい。また、中間層の絶縁層 4 2 を第 1 の絶縁層と定義し、その上の絶縁層 4 3 を第 2 の絶縁層と定義することができる。その場合、第 1 の絶縁層 4 2 に形成された第 1 の穴 4 6 よりも、第 2 の絶縁層 4 3 に形成された第 2 の穴 4 8 が大きい。

複数の絶縁層 4 1、4 2、4 3 に形成された穴 4 4、4 6、4 8 は、連通しており、開口部 4 0 を形成している。開口部 4 0 は、配線パターン 2 0 上で開口する。穴 4 4、

46、48が下から順に大きくなるので、開口部40は、底部から開口端部に向けて大きく広がる形状になっている。詳しくは、複数の絶縁層41、42、43に形成されて連通する穴44、46、48の大きさがそれぞれ異なるので、開口部40は階段状になっている。

開口部40の内面に、外部端子30の一部（例えば台座32）が接触して設けられている。開口部40が階段状に形成されているので、外部端子30に加えられた応力を、分散して吸収できるようになっている。また、穴44、46、48の内面が傾斜していることに対応して、台座32の側面も傾斜している。詳しくは、台座32は、逆錐台形状（逆円錐台形状、逆角錐台形状）をなしている。このことにより、台座32と穴44、46、48との接触面積が大きくなるので、両者の密着性が向上する。さらに、穴44、46、48の開口端部が曲面を以て形成されており、角がないので、台座32に破断が生じない。

外部端子30の側面（例えば台座32の側面）が傾斜しているので、半導体チップ10の表面に対する垂線に沿って見て、絶縁層41、42、43の一部は、それぞれの外部端子30の一部分と半導体チップ10との間に位置する。詳しくは、外部端子30の一部（例えば台座32の一部）が配線パターン20に接合されており、この部分を除く部分と半導体チップ10との間に、絶縁層41、42、43の一部が設けられている。

図2に、本実施の形態に係る半導体装置の平面図を示す。同図において、半導体チップ10の電極12から、能動面の中央方向に配線パターン20が形成され、配線パターン20には外部端子30が設けられている。

なお、同図に示されるように、外部端子30は半導体チップ10の電極12上ではなく半導体チップ10の能動領域（能動素子が形成されている領域）に設けられている。絶縁層41、42、43（図1参照）を能動領域に設け、更に配線パターン20を能動領域内に配設する（引き込む）ことで、外部端子30を能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部端子30を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部端子30の設定位置の自由度が非常に増すことになる。

そして、配線パターン 20 を構成する配線を、必要な位置で屈曲させることにより、外部端子 30 は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではないので、外部端子 30 は必ずしも格子状に並ぶように設けなくても良い。

また、電極 12 の幅と配線パターン 20 の幅とを、

電極 12 \leq 配線パターン 20

とすることが好ましい。特に、

電極 12 < 配線パターン 20

となる場合には、配線パターン 20 の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

次に、本実施の形態に係る半導体装置の製造方法を説明する。図 3 ～ 図 8 は、複数の絶縁層を形成する工程を示す図である。なお、本発明は、半導体チップ 10 のような個片の半導体素子に対しても適用できるが、本実施の説明では、複数の半導体素子の集合体として半導体ウエーハ 11 を使用する。そして、個々の半導体チップ 10 に切断されることになるそれぞれの半導体素子に対して本発明を適用した例を説明する。このことは、以下の実施の形態でも同じである。

まず、複数の電極 12 を有し、電極 12 を避けてパッシベーション膜（図示せず）が形成された半導体ウエーハ 11（図 9 参照）を用意する。電極 12 に接続される配線パターン 20 を形成する。配線パターン 20 は、半導体ウエーハ 11 上、詳しくはパッシベーション膜上に形成してもよい。

次に、複数の絶縁層 41、42、43 を形成し、連通する穴 44、46、48 を形成して、開口部 40 を形成する。この工程は、次の第 1 工程～第 4 工程を含む。

（第 1 工程）

図 3 に示すように、絶縁層 41 を形成する。絶縁層 41 は、最下層に位置するときには、半導体ウエーハ 11 における電極 12、パッシベーション膜（図示せず）及び配線パターン 20 が形成された面に形成される。絶縁層 41 の材料として、エネルギー（光、紫外線又は放射線など）に感応して性質を変える樹脂を使用することができ、例えば、フォトリソマーなどを使用できる。絶縁層 41 の材料としては、エネルギーが照射されると、溶解性が増加するもの（ポジ型）であっても、溶解性が減少するも

の（ネガ型）であってもよい。

（第2工程）

図4に示すように、絶縁層41に穴44を形成する。例えば、図3に示すように、開口51が形成されたマスク50を、絶縁層41の上方に配置して、エネルギー60を照射し、その後現像することで穴44を形成する。絶縁層41が、エネルギーが照射されると溶解性が増加するものであるときは、穴44の形成領域上に開口51を配置する。絶縁層41が、エネルギーが照射されると溶解性が減少するものであるときは、穴44の形成領域上を覆って、それ以外の領域上に開口51を配置する。上述したエネルギー照射技術（露光技術など）を適用する場合には、マスク50の開口51からエネルギーが回り込むため、穴44の開口端部は曲面を以て形成される。

（第3工程）

図5に示すように、絶縁層41上に、絶縁層42を形成する。なお、下側の絶縁層41を第1の絶縁層と定義し、その上側の絶縁層42を第2の絶縁層と定義することができる。絶縁層41に形成された穴44にも、絶縁層42の材料を充填する。この工程は、絶縁層41を硬化させてから行うことが好ましい。

上側に位置する絶縁層42の材料は、エネルギーが照射されると溶解性が減少するものであることが好ましい。

（第4工程）

図6に示すように、絶縁層42に穴46を形成する。穴46は、下側の絶縁層41に形成された穴44と連通するように形成する。ここで、下側の穴44を第1の穴と定義し、その上側の穴46を第2の穴と定義することができる。第2の穴46を、第1の穴44よりも大きく形成する。第2の穴46の形成には、エネルギーを照射する方法を適用することができる。第2の絶縁層42の材料が、エネルギーが照射されると溶解性が減少するものである場合には、例えば図5に示す工程を行う。すなわち、第1の穴44の上方のみを覆うマスク52を、第2の絶縁層42の上方に配置して、エネルギー60を照射する。そうすると、マスク52によってエネルギー60の照射が妨げられた領域は、溶解性が減少していないので、その後現像を行って除去することができる。第2の絶縁層42の材料は、第1の絶縁層41に形成された第1の穴4

4に充填された部分も除去することができる。こうして、第2の絶縁層42に第2の穴46を形成する。第2の穴46の開口端部は、マスク52からエネルギーが回り込むため曲面を以て形成される。

なお、第1の穴44の上方では、第2の絶縁層42の材料の厚みが均一ではないが、第1の絶縁層41の上では第2の絶縁層42の材料の厚みが均一になっている。したがって、第1の穴44の上方以外の領域では、第2の絶縁層42の材料に対してエネルギー60が均一に照射され、この領域で第2の絶縁層42の材料を均一に硬化させることができる。一方、第1の穴44の上方では、第2の絶縁層42の材料は、マスク52によって、均一にエネルギー60が照射されないようになっている。そして、第2の絶縁層42の材料のうち、第1の穴44の上方に設けられた部分を全て除去することができる。

(その後の工程)

上述した第1及び第2の絶縁層41、42の上に、さらに絶縁層を形成するときには、上記工程を繰り返す。例えば、図7に示すように、絶縁層42上に、絶縁層43を形成する。

この2層の絶縁層42、43については、下側の絶縁層42を第1の絶縁層と定義し、その上側の絶縁層43を第2の絶縁層と定義することができる。下側の絶縁層42に形成された穴46にも、絶縁層43の材料を充填する。この工程は、絶縁層42を硬化させてから行うことが好ましい。

上側に位置する絶縁層43の材料は、エネルギーが照射されると溶解性が減少するものであることが好ましい。

図8に示すように、絶縁層43に穴48を形成する。穴48は、下側の絶縁層42に形成された穴46と連通するように形成する。ここで、下側の穴46を第1の穴と定義し、その上側の穴48を第2の穴と定義することができる。第2の穴48を、第1の穴46よりも大きく形成する。第2の穴48の形成には、エネルギーを照射する方法を適用することができる。第2の絶縁層43の材料が、エネルギーが照射されると溶解性が減少するものである場合には、例えば図7に示す工程を行う。すなわち、第1の穴46の上方のみを覆うマスク54を、第2の絶縁層43の上方に配置して、

エネルギー 60 を照射する。そうすると、マスク 54 によってエネルギー 60 の照射が妨げられた領域は、溶解性が減少していないので、その後現像を行って除去することができる。第 2 の絶縁層 43 の材料は、第 1 の絶縁層 42 に形成された第 1 の穴 46 に充填された部分も除去することができる。こうして、第 2 の絶縁層 43 に第 2 の穴 48 を形成する。第 2 の穴 48 の開口端部は、マスク 54 からエネルギーが回り込むため曲面を以て形成される。

なお、第 1 の穴 46 の上方では、第 2 の絶縁層 43 の材料の厚みが均一ではないが、第 1 の絶縁層 42 の上では第 2 の絶縁層 43 の材料の厚みが均一になっている。したがって、第 1 の穴 46 の上方以外の領域では、第 2 の絶縁層 43 の材料に対してエネルギー 60 が均一に照射され、この領域で均一に第 2 の絶縁層 43 の材料を硬化させることができる。一方、第 1 の穴 46 の上方では、第 2 の絶縁層 43 の材料は、マスク 54 によって、エネルギー 60 が照射されないようになっている。そして、第 2 の絶縁層 43 の材料のうち、第 1 の穴 46 の上方に設けられた部分を全て除去することができる。

以上の工程により、複数の絶縁層 41、42、43 に連通する穴 44、46、48 を形成して、開口部 40 を形成することができる。すなわち、実質的に厚い 1 層からなる絶縁層に開口部 40 が形成された構成と同等の構成を得ることができる。例えば、絶縁層 41、42、43 のそれぞれの厚みを $20\text{ }\mu\text{m}$ 程度として、合計 $60\text{ }\mu\text{m}$ 程度の層を形成して開口部 40 を形成することができる。穴 44、46、48 及び開口部 40 の構造の詳細及びその効果は上述した通りである。

本実施の形態によれば、複数の絶縁層 41、42、43 のそれぞれに、1 層毎に、穴 44、46、48 を形成する。しかも、上の層に形成される穴が下の層に形成される穴よりも大きいので、露光技術などのエネルギー照射技術を適用しても、高精度の開口部 40 を形成することができる。あるいは、複数の絶縁層 41、42、43 を形成してから、レーザを使用して開口部 40 を形成してもよい。

開口部 40 は、配線パターン 20 上に開口する。開口部 40 を介して、図 9 に示すように、外部端子 30 を配線パターン 20 上に設ける。外部端子 30 の一部（例えば台座 32）は、開口部 40 の内面に接触させて設ける。例えば、台座 32 を、配線パ

ターン 20 上のみならず、開口部 40 の内面にも一体的にスパッタリングなどで形成する。台座 32 を設けたら、その上にハンダボールなどの接合部 34 を設ける。あるいは、台座 32 にハンダクリームを設けて、これを溶融させて表面張力でボール状にしてもよい。また、必要があれば、絶縁層 43 上に、さらに保護層を形成してもよい。

図 9 に示す半導体ウエーハ 11 を半導体装置と称することもできるが、半導体ウエーハ 11 をダイシングして、図 1 に示す半導体装置 1 を得ることができる。

(第 2 の実施の形態)

図 10 は、第 2 の実施の形態に係る半導体装置を示す図である。半導体装置 2 は、最上層の絶縁層 62 が、外部端子 30 の周辺部でのみ、その下の絶縁層 42 の表面に形成されている点で第 1 の実施の形態と異なる。これ以外の点は、第 1 の実施の形態と同じである。なお、絶縁層 62 には、第 1 の実施の形態の穴 48 と同じ構成の穴 68 が形成されている。本実施の形態によれば、最上層の絶縁層 62 が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

(第 3 の実施の形態)

図 11 は、第 3 の実施の形態に係る半導体装置を示す図である。半導体装置 3 は、半導体チップ 10 上に、応力緩和層 70 が形成され、その上に配線パターン 72 が形成されている点で、第 1 の実施の形態と異なる。

応力緩和層 70 は、絶縁層 41、42、43 として選択できる材料のうち、応力緩和機能を付与できるもので形成することができる。応力緩和層 70 は、半導体チップ 10 における電極 12 が形成された面で、電極 12 を避けて形成されている。応力緩和層 70 には、電極 12 の上方に、穴 74 が形成されている。穴 74 の内面上にも配線パターン 72 が形成されている。穴 74 の内面は、底部よりも開口端部が大きくなるテーパが付された傾斜面となっている。したがって、配線パターン 72 は、直角よりも緩やかな角度で電極 12 から立ち上がり、直角よりも緩やかな角度で応力緩和層 70 の上面に至る。このように、配線パターン 72 の屈曲角度が緩やかになることで、その断線が防止される。

そして、配線パターン 72 上に、外部端子 30 が設けられると共に、絶縁層 41、

42、43が形成される。その詳細は、第1の実施の形態で説明した内容が適用される。

本実施の形態によれば、第1の実施の形態で説明した効果に加えて、応力緩和層70によっても応力を緩和することができる。

(第4の実施の形態)

図12は、第4の実施の形態に係る半導体装置を示す図である。半導体装置4は、最上層の絶縁層83が、外部端子30の周囲でのみ、その下の絶縁層42の表面に形成されている点で第3の実施の形態と異なる。これ以外の点は、第3の実施の形態と同じである。なお、絶縁層83には、第3の実施の形態の穴48と同じ構成の穴88が形成されている。本実施の形態によれば、絶縁層83が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

(第5の実施の形態)

図13は、第5の実施の形態に係る半導体装置を示す図である。この半導体装置101は、半導体チップ110と、絶縁層120と、配線パターン130と、外部端子140と、を含む。半導体装置101は、そのパッケージサイズが半導体チップ110にほぼ等しいので、CSPに分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体チップ110には、第1の実施の形態の半導体チップ10について説明した内容が該当する。ただし、パッシベーション膜114は、本実施の形態に対応する発明の必須要件ではないが、形成されていることが好ましい。

絶縁層120は、第1の実施の形態で説明した材料で形成することができる。絶縁層120は、応力緩和機能を有してもよい。絶縁層120は、複数の層で形成してもよく、それぞれの層の特性が異なるようにしてもよい。例えば、外部端子140に近い上側の層122の熱膨張係数を、半導体チップ110に近い下側の層124の熱膨張係数よりも大きくしてもよい。こうすることで、半導体チップ110に近い下側の層124は、半導体チップの熱膨張係数に近づき、回路基板（マザーボード）に近い上側の層122は、回路基板の熱膨張係数に近づくので、応力を効果的に吸収することができる。なお、外部端子140に加えられる応力は、詳しくは、半導体装置10

1が実装される回路基板（マザーボード）と、半導体チップ110と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体チップ110の熱膨張係数は小さいので膨張及び収縮が小さい。

絶縁層120は、電極112が形成された面に、電極112を避けて形成されている。または、電極112の一部に絶縁層120がオーバーハングする場合もある。ただし、電極112上には、電極112の電氣的機能が達成される程度には露出された部分が必要である。すなわち、電極112上の一部に絶縁層120が設けられない露出部分があれば、それ以外の部分で電極112上に絶縁層120がコーティングされていても構わない。絶縁層120には、電極112の上方に開口部126が形成されている。開口部126は、底部よりも開口端部が大きい形状をなし、内面が傾斜している。

また、絶縁層120には、電極112を避けた領域に、複数の凹部128が形成されている。凹部128は、底部よりも開口端部が大きい形状をなし、内面が傾斜している。凹部128は、上側の層122及び下側の層124に連通して形成されている。凹部128は、半導体チップ110の面に至るまで貫通して、例えばパッシベーション膜114が露出してもよい。

配線パターン130は、電極112から絶縁層120に至るまで形成されている。詳しくは、配線パターン130は、絶縁層120に形成された開口部126内で電極112に電氣的に接続されている。配線パターン130には、第1の実施の形態の配線パターン20の内容が該当する。開口部126の内面が傾斜していれば、開口部126の内面と絶縁層120の表面との角度が大きくなるので、配線パターン130の断線が防止される。

外部端子140は、凹部128に設けられている。凹部128が電極112の真上を避けて形成されているので、外部端子140に加えられた応力が電極112に伝わりにくくなっている。外部端子140は、台座142と、接合部144と、からなる。接合部144は、例えばハンダボールなどであって、回路基板との電氣的な接合に使用される。台座142は、凹部128の内面形状に対応して、逆錐台形状（逆円錐台形状、逆角錐台形状）をなしている。台座142は、接合部144を受けやすいよう

に、中央がくぼむ形状をなしている。台座 142 も、複数層で形成してもよく、配線パターン 130 として選択可能な材料で形成することができる。

配線パターン 130 が凹部 128 の開口端部に至るまで形成されているので、この開口端部で、配線パターン 130 と外部端子 140 とが電氣的に接続されている。すなわち、外部端子 140 と配線パターン 130 との接続部分が、絶縁層 120 上に位置するので、この接続部分に対して加えられる応力も絶縁層にて吸収される。凹部 128 の内面が傾斜面となっていれば、台座 142 と配線パターン 130 とが大きい角度で接続されるので、その部分の断線が防止される。なお、外部端子 140 の一部をなす台座 142 と、配線パターン 130 と、を一体的に形成してもよい。

凹部 128 が、底部よりも開口端部が大きくなる形状であるため、外部端子 140 の側面（例えば台座 142 の側面）も傾斜している。したがって、半導体チップ 110 の表面に対する垂線に沿って見て、絶縁層 120 の一部は、それぞれの外部端子 140 の一部分と半導体チップ 110 との間に位置する。

配線パターン 130 は、保護層 150 によって覆われている。保護層 150 は、例えばソルダレジストであってもよい。保護層 150 は、外部端子 140 を避けて、応力緩和層 120 上に形成される。保護層 150 は、外部端子 140 の一部を覆っても良いが、外部端子 140 の少なくとも上端部を避けることが必要である。

本実施の形態に係る半導体装置 101 によれば、配線パターン 130 が、絶縁層 120 上に形成されており、かつ、凹部 128 の開口端部で外部端子 140 に電氣的に接続されている。すなわち、配線パターン 130 と外部端子 140 との電氣的な接続部分が、絶縁層 120 上に位置している。したがって、配線パターン 130 と外部端子 140 との電氣的な接続部分に加えられる応力も、絶縁層 120 によって吸収される。こうして、配線パターン 130 と外部端子 140 との電氣的接続を効果的に確保することができる。また、配線パターン 130 は、絶縁層 120 上に形成されているので、破断が防止されるようになっている。さらに、配線パターン 130 は、絶縁層 120 上に形成されており半導体チップから離れている。したがって、半導体チップ 110 内の集積回路における信号と、配線パターン 130 における信号と、が干渉しにくくなっており、クロストークが減少する。

図14に、本実施の形態に係る半導体装置の平面図を示す。同図において、半導体チップ110の電極112から、能動面の中央方向に配線パターン130が形成され、配線パターン130に外部端子140が電氣的に接続されている。

なお、外部端子140を半導体チップ110の能動領域に設け、絶縁層120（図13参照）を能動領域に設け、配線パターン130を能動領域内に配設することについては、第1の実施の形態で図2に関連して説明した通りである。また、配線パターン130の形状についても、第1の実施の形態で図2に関連して説明した内容が適用される。

次に、本実施の形態に係る半導体装置の製造方法を説明する。

まず、第1の実施の形態で説明したように、半導体チップ110に切断される前の半導体ウエーハを用意する。半導体ウエーハは、複数の電極112を有し、電極112を避けてパッシベーション膜114が形成されている。

（第1工程）

半導体ウエーハに絶縁層120を形成する。複数の層を積層して絶縁層120を形成してもよい。絶縁層120に複数の凹部128を形成する。半導体ウエーハにおける電極112の上方に、絶縁層120に開口部126を形成する。これらの工程の順序は問わない。例えば、絶縁層120を形成し、その次に、凹部128及び開口部126を同時に形成してもよい。この場合には、光や放射線などのエネルギーに感応する樹脂で絶縁層120を形成し、絶縁層120における凹部128及び開口部126の形成部分を除去できるようにエネルギーを照射し、現像する。なお、凹部128及び開口部126の形状は上述した通りである。

（第2工程）

電極112から絶縁層120上を通過して、凹部128の開口端部に至る配線パターン130を形成する。また、凹部128の開口端部で配線パターン130と電氣的に接続される外部端子140を凹部128に設ける。これらの工程の順序は問わない。

例えば、電極112から、開口部126の内面を通過して、絶縁層120における凹部128の開口端部に至る配線パターン130と、凹部128の内面に形成されて凹部128の開口端部で配線パターン130に接続される台座142と、を一体的に形

成する。その工程には、スパッタリングなどを適用することができる。その後、台座 142 の上にハンダボールなどの接合部 144 を設ける。あるいは、台座 142 にハンダクリームを設けて、これを溶融させて表面張力でボール状にしてもよい。こうして、外部端子 140 を設けることができる。また、必要があれば、絶縁層 120 上に保護層 150 を形成する。そして、半導体ウエーハをダイシングして、上述した半導体装置 101 を得ることができる。

(第 6 の実施の形態)

図 15 は、第 6 の実施の形態に係る半導体装置を示す図である。半導体装置 102 は、第 5 の実施の形態で説明した半導体チップ 110 と、絶縁層 160 と、配線パターン 170 と、外部端子 180 と、を含む。絶縁層 160 は、複数の層で形成されている。絶縁層 160 における電極 112 の上方には、開口部 166 が形成されており、配線パターン 170 が電極 112 に電氣的に接続されている。

絶縁層 160 には凹部 168 が形成されている。凹部 168 は、絶縁層 160 を構成する複数の層のうち、上側の層 162 にのみ形成され、下側の層 164 に形成されていない。この点が第 5 の実施の形態と異なり、これ以外の構成には第 5 の実施の形態の構成を適用することができる。凹部 168 には、台座 182 が形成され、台座 182 上に接合部 184 が設けられている。また、配線パターン 170 上には、保護層 190 が形成されている。

本実施の形態に係る半導体装置 102 でも、配線パターン 170 と外部端子 180 との電氣的な接続部分が、絶縁層 160 上に位置している。したがって、配線パターン 170 と外部端子 180 との電氣的な接続部分に加えられる応力が、絶縁層 160 によって吸収される。その他の効果は、第 5 の実施の形態と同じである。

(第 7 の実施の形態)

図 16 は、第 7 の実施の形態に係る半導体装置を示す図である。この半導体装置 201 は、半導体チップ 210 と、配線パターン 220 と、外部端子 230 と、第 1 及び第 2 の絶縁層 240、242 と、を含む。半導体装置 201 は、そのパッケージサイズが半導体チップ 210 にほぼ等しいので、CSP に分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体チップ210には、第1の実施の形態の半導体チップ10について説明した内容が該当する。

配線パターン220には、第1の実施の形態の配線パターン20の内容が該当する。外部端子230は、台座232と、接合部234と、からなり、これらの詳細は、第1の実施の形態の外部端子30と同じ構成でよい。

第1及び第2の絶縁層240、242は、それぞれの外部端子230の周囲に形成されている。第1及び第2の絶縁層240、242の少なくとも一方は、応力緩和機能を有してもよい。第1及び第2の絶縁層240、242は、第1の実施の形態で説明した材料で形成することができる。なお、第1の絶縁層240は、半導体チップ210側に位置しており、電極212、配線パターン220及び図示しないパッシベーション膜上に形成されている。第2の絶縁層242は、外部端子230の形成領域を除き、第1の絶縁層240の表面全体上に形成されている。

第1の絶縁層240には、第1の開口部244が形成されている。第1の開口部244は、配線パターン244における外部端子230との接合部上に形成されている。第1の開口部244の内面は、底部から離れるに従って開口が大きくなるテーパが付けられた傾斜面となっている。

第2の絶縁層242には、第2の開口部246が形成されている。第2の開口部246は、第1の開口部244の上方に形成されている。第2の開口部246の内面は、底部から離れるに従って開口が大きくなるテーパが付けられた傾斜面となっている。

第1及び第2の開口部244、246の内面に、外部端子230の一部（例えば台座232）が接触して設けられている。第1及び第2の開口部244、246の内面が傾斜していることに対応して、台座232の側面も傾斜している。詳しくは、台座232は、逆錐台形状（逆円錐台形状、逆角錐台形状）をなしている。

外部端子230の側面（例えば台座232の側面）が傾斜しているので、半導体チップ210の表面に対する垂線に沿って見て、第1及び第2の絶縁層240、242の一部は、それぞれの外部端子230の一部分と半導体チップ210との間に位置する。詳しくは、外部端子230の一部（例えば台座232の一部）が配線パターン220に接合されており、この部分を除く部分と半導体チップ210との間に、第1及

び第2の絶縁層240、242の一部が設けられている。

本実施の形態では、第1の絶縁層240と、第2の絶縁層242とは、特性が異なる。例えば、第1の絶縁層240のヤング率が、第2の絶縁層242のヤング率よりも大きい。あるいは、第2の絶縁層242の熱膨張係数は、第1の絶縁層240の熱膨張係数よりも大きい。

外部端子230に加えられる応力は、詳しくは、半導体装置201が実装される回路基板と、半導体チップ210と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体チップ210の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体チップ210に近い位置に形成された第1の絶縁層240は、半導体チップ210の膨張及び収縮が小さいことに対応して、ヤング率を大きくしてある。一方、回路基板に近い位置に形成された第2の絶縁層242は、回路基板の膨張及び収縮が大きいことに対応して、ヤング率を小さくしてある。このように、特性の異なる第1及び第2の絶縁層240、242を使用することで、応力を効果的に吸収することができる。

図17に、本実施の形態に係る半導体装置の平面図を示す。同図において、半導体チップ210の電極212から、能動面の中央方向に配線パターン220が形成され、配線パターン220には外部端子230が設けられている。

なお、外部端子230を半導体チップ210の能動領域に設け、第1及び第2の絶縁層240、242（図16参照）を能動領域に設け、配線パターン220を能動領域内に配設することについては、第1の実施の形態で図2に関連して説明した通りである。また、配線パターン220の形状についても、第1の実施の形態で図2に関連して説明した内容が適用される。

次に、本実施の形態に係る半導体装置の製造方法を説明する。

まず、第1の実施の形態で説明したように、半導体チップ210に切断される前の半導体ウエーハを用意する。半導体ウエーハは、複数の電極212を有し、電極212を避けてパッシベーション膜が形成されている。電極212から配線パターン220を形成する。その上に、第1及び第2の絶縁層240、242を形成し、配線パターン220における外部端子230との接合位置に、第1及び第2の開口部244、

246を形成する。そして、第1及び第2の開口部244、246を介して外部端子230を配線パターン220上に設ける。外部端子230の一部(例えば台座232)は、第1及び第2の開口部244、246の内面に接触させて設ける。例えば、台座232を、配線パターン220上のみならず、第1及び第2の開口部244、246の内面にも一体的にスパッタリングなどで形成する。台座232を設けたら、その上にハンダボールなどの接合部234を設ける。あるいは、台座232にハンダクリームを設けて、これを溶融させて表面張力でボール状にしてもよい。また、必要があれば、第2の絶縁層242上に、さらに保護層を形成してもよい。

そして、半導体ウエーハをダイシングして、上述した半導体装置201を得ることができる。

(第8の実施の形態)

図18は、第8の実施の形態に係る半導体装置を示す図である。半導体装置202は、第2の絶縁層252が、外部端子230の周囲でのみ、第1の絶縁層240の表面に形成されている点で第7の実施の形態と異なる。これ以外の点は、第7の実施の形態と同じである。なお、第2の絶縁層252には、第7の実施の形態の第2の開口部246と同じ構成の第2の開口部254が形成されている。本実施の形態によれば、第2の絶縁層252が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

(第9の実施の形態)

図19は、第9の実施の形態に係る半導体装置を示す図である。半導体装置203は、半導体チップ210上に、第3の絶縁層260が形成され、その上に配線パターン262が形成されている点で、第7の実施の形態と異なる。

第3の絶縁層260は、第1又は第2の絶縁層240、242として選択できる材料で形成することができる。第3の絶縁層260は、半導体チップ210における電極212が形成された面で、電極212を避けて形成されている。第3の絶縁層260には、電極212の上方に、第3の開口部264が形成されている。第3の開口部の内面上にも配線パターン262が形成されている。第3の開口部264の内面は、底部から離れるに従って開口が大きくなるテーパが付された傾斜面となっている。し

たがって、配線パターン 262 は、直角よりも緩やかな角度で電極 212 から立ち上がり、直角よりも緩やかな角度で第 3 の絶縁層 260 の上面に至る。このように、配線パターン 262 の屈曲角度が緩やかになることで、その断線が防止される。

そして、配線パターン 262 上に、外部端子 230 が設けられると共に、第 1 及び第 2 の絶縁層 240、242 が形成される。その詳細は、第 7 の実施の形態で説明した内容が適用される。

本実施の形態によれば、第 7 の実施の形態で説明した効果に加えて、第 3 の絶縁層 260 によっても応力を緩和することができる。

(第 10 の実施の形態)

図 20 は、第 10 の実施の形態に係る半導体装置を示す図である。半導体装置 204 は、第 2 の絶縁層 270 が、外部端子 230 の周囲でのみ、第 1 の絶縁層 240 の表面に形成されている点で第 9 の実施の形態と異なる。これ以外の点は、第 9 の実施の形態と同じである。なお、第 2 の絶縁層 270 には、第 9 の実施の形態の第 2 の開口部 246 と同じ構成の第 2 の開口部 272 が形成されている。本実施の形態によれば、第 2 の絶縁層 270 が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

図 21 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1000 が示されている。回路基板 1000 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 30 とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置 1 を有する電子機器 1100 として、図 22 には、ノート型パーソナルコンピュータが示されている。

なお、上記本発明の構成要件「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

請 求 の 範 囲

1. 複数の電極が形成されてなる半導体素子と、
前記電極と電氣的に接続される配線パターンと、
前記配線パターンと電氣的に接続してなる外部端子と、
を有してなり、
前記配線パターン上の、前記外部端子の周囲には複数の絶縁層が形成されてなる半導体装置。
2. 請求項 1 記載の半導体装置において、
前記複数の絶縁層のうち少なくとも一つは、応力緩和機能を有する半導体装置。
3. 請求項 1 記載の半導体装置において、
前記複数の絶縁層のうち少なくとも一つは、樹脂からなる半導体装置。
4. 請求項 1 記載の半導体装置において、
前記各絶縁層が前記外部端子と接する開口部は、下層から上層に向けて大きくなる
テーパが付けられた傾斜面である半導体装置。
5. 請求項 1 記載の半導体装置において、
前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、
前記台座が、前記各絶縁層が前記外部端子と接する開口部に接触して設けられる半導体装置。
6. 請求項 1 記載の半導体装置において、
前記各絶縁層が前記外部端子と接する開口部は、曲面を以て形成されている半導体装置。
7. 請求項 1 記載の半導体装置において、
前記配線パターンは、前記複数の絶縁層よりも下層に形成された応力緩和層上に形成される半導体装置。
8. 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、
最上層の前記絶縁層は、前記外部端子の形成領域を除き、最上層から 2 番目の絶縁層の表面全体上に形成される半導体装置。
9. 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、

最上層の前記絶縁層は、最上層から 2 番目の絶縁層が形成されている領域の面積よりも小さく形成されてなる半導体装置。

10. 請求項 1 記載の半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含む半導体装置。

11. 請求項 10 記載の半導体装置において、

前記上側の層の絶縁層の熱膨張係数は、前記下側の層の絶縁層の熱膨張係数よりも大きい半導体装置。

12. 請求項 10 記載の半導体装置において、

前記下側の層の絶縁層のヤング率は、前記上側の層の絶縁層のヤング率よりも大きい半導体装置。

13. 複数の電極が形成されてなる半導体素子と、

前記電極と電氣的に接続してなる配線パターンと、

前記配線パターンと電氣的に接続してなる外部端子と、

を有してなり、

少なくとも 1 層よりなり、凹凸部を有する絶縁層上に前記配線パターンは形成され、前記凹部に外部端子が形成されてなる半導体装置。

14. 請求項 13 記載の半導体装置において、

前記絶縁層は、応力緩和機能を有する半導体装置。

15. 請求項 13 記載の半導体装置において、

前記絶縁層は、樹脂からなる半導体装置。

16. 請求項 13 記載の半導体装置において、

前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、前記台座と前記配線パターンとが一つの部材で構成されている半導体装置。

17. 請求項 13 記載の半導体装置において、

前記凹部は、底部よりも開口端部が大きく形成されている半導体装置。

18. 請求項 13 記載の半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含む半導体装置。

19. 請求項 18 記載の半導体装置において、

前記絶縁層は、前記半導体素子上に形成され、

前記下側の層の熱膨張係数は、前記上側の層の熱膨張係数よりも小さい半導体装置。

20. 請求項13記載の半導体装置において、

前記半導体装置の最上層には保護膜が形成されてなる半導体装置。

21. 請求項1、2、3、4、5、6、7、10、11、12のいずれかに記載の半導体装置が実装された回路基板。

22. 請求項13から請求項20のいずれかに記載の半導体装置が実装された回路基板。

23. 請求項1、2、3、4、5、6、7、10、11、12のいずれかに記載の半導体装置を有する電子機器。

24. 請求項13から請求項20のいずれかに記載の半導体装置を有する電子機器。

25. 半導体素子の複数の電極に電氣的に接続させて配線パターンを形成し、前記配線パターン上に外部端子を形成する工程を含む半導体装置の製造方法であって、

前記配線パターン上の、前記外部端子の周囲に複数の絶縁層を形成する半導体装置の製造方法。

26. 請求項25記載の半導体装置の製造方法において、

前記絶縁層を形成した後に、前記外部端子を形成し、

前記各絶縁層に、前記外部端子と接する開口部を形成する工程では、

第1の絶縁層を形成し、

前記第1の絶縁層に、第1の穴を形成し、

前記第1の穴及び前記第1の絶縁層上に、第2の絶縁層を形成し、

前記第1の穴の上方で、前記第2の絶縁層に第2の穴を形成する半導体装置の製造方法。

27. 請求項25又は請求項26記載の半導体装置の製造方法において、

前記複数の絶縁層のうち少なくとも一つとして、応力緩和機能を有するものを使用する半導体装置の製造方法。

28. 請求項25又は請求項26記載の半導体装置の製造方法において、

前記複数の絶縁層のうち少なくとも一つとして、樹脂からなるものを使用する半導

体装置の製造方法。

29. 請求項25又は請求項26記載の半導体装置の製造方法において、

前記絶縁層を、特性の異なる上側の層及び下側の層を含むように形成する半導体装置の製造方法。

30. 請求項29記載の半導体装置の製造方法において、

前記下側の層の絶縁層のヤング率を、前記上側の層の絶縁層のヤング率よりも大きくする半導体装置の製造方法。

31. 請求項29記載の半導体装置の製造方法において、

前記上側の層の絶縁層の熱膨張係数を、前記下側の層の絶縁層の熱膨張係数よりも大きくする半導体装置の製造方法。

32. 半導体素子上に、少なくとも1層よりなり、凹凸部を有する絶縁層を形成し、

前記絶縁層上に、前記半導体素子の複数の電極に接続してなる配線パターンを形成し、

前記凹部に、前記配線パターンと電氣的に接続してなる外部端子を形成する半導体装置の製造方法。

33. 請求項32記載の半導体装置の製造方法において、

前記凹部の内面で前記外部端子の下地となる台座を、前記配線パターンとともに一つの部材で形成し、

前記台座上に接合部を設けて前記外部端子を形成する半導体装置の製造方法。

34. 請求項32又は請求項33記載の半導体装置の製造方法において、

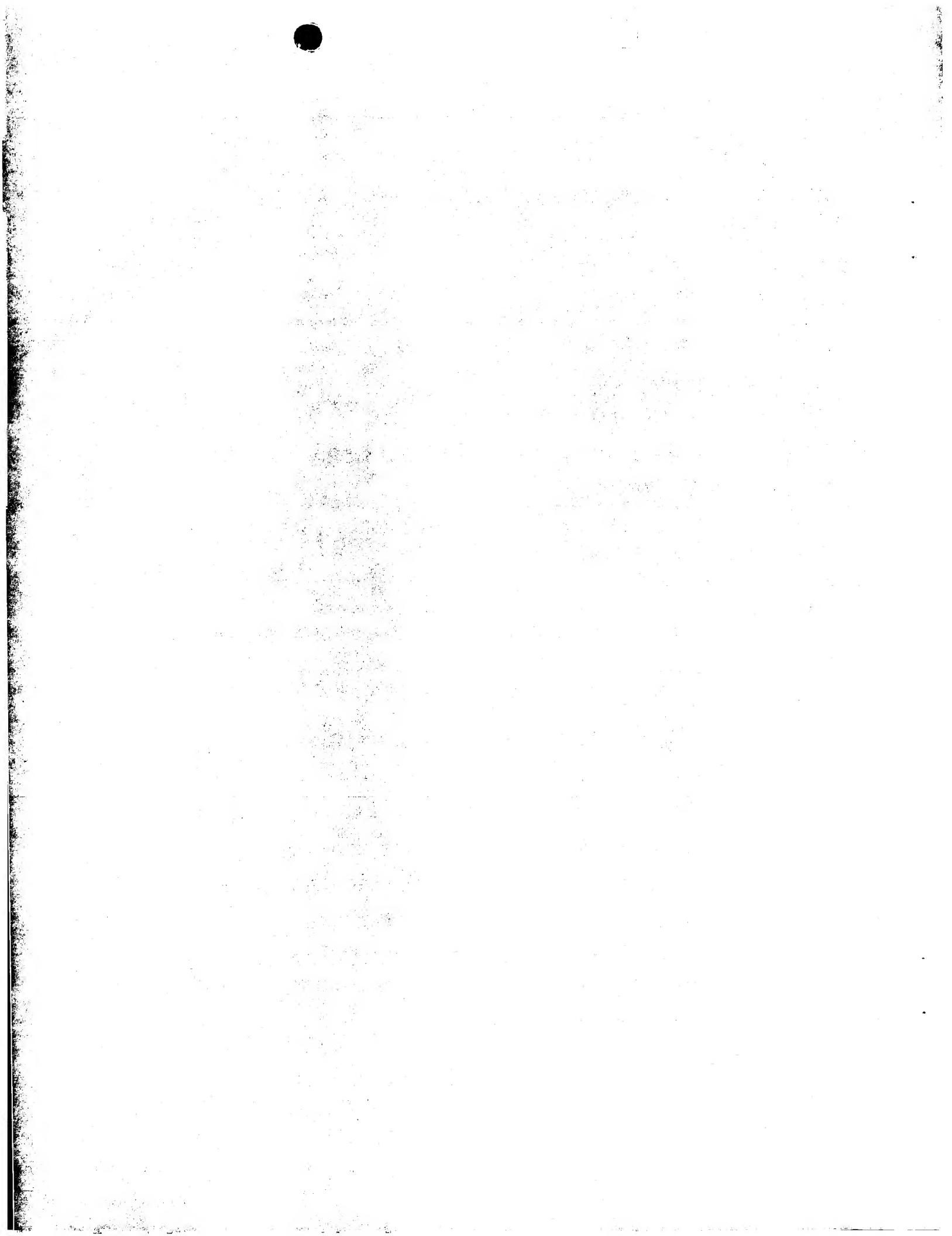
前記絶縁層として、応力緩和機能を有するものを使用する半導体装置の製造方法。

35. 請求項32又は請求項33記載の半導体装置の製造方法において、

前記絶縁層として、樹脂からなるものを使用する半導体装置の製造方法。

36. 請求項32又は請求項33記載の半導体装置の製造方法において、

前記半導体装置の最上層に、保護膜を形成する半導体装置の製造方法。



1 / 13

FIG. 1

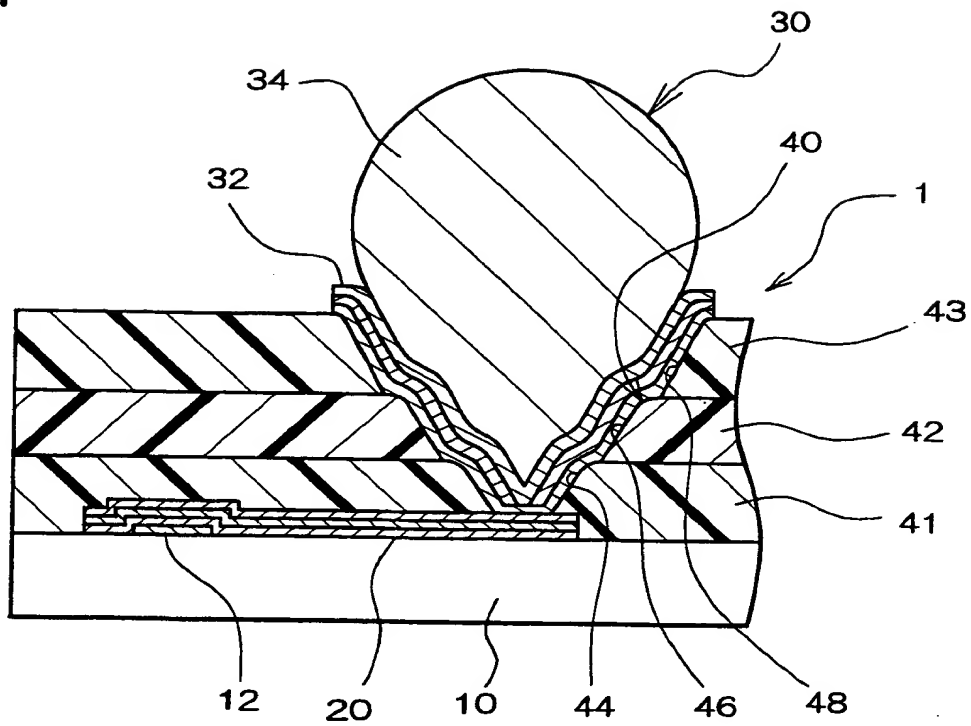
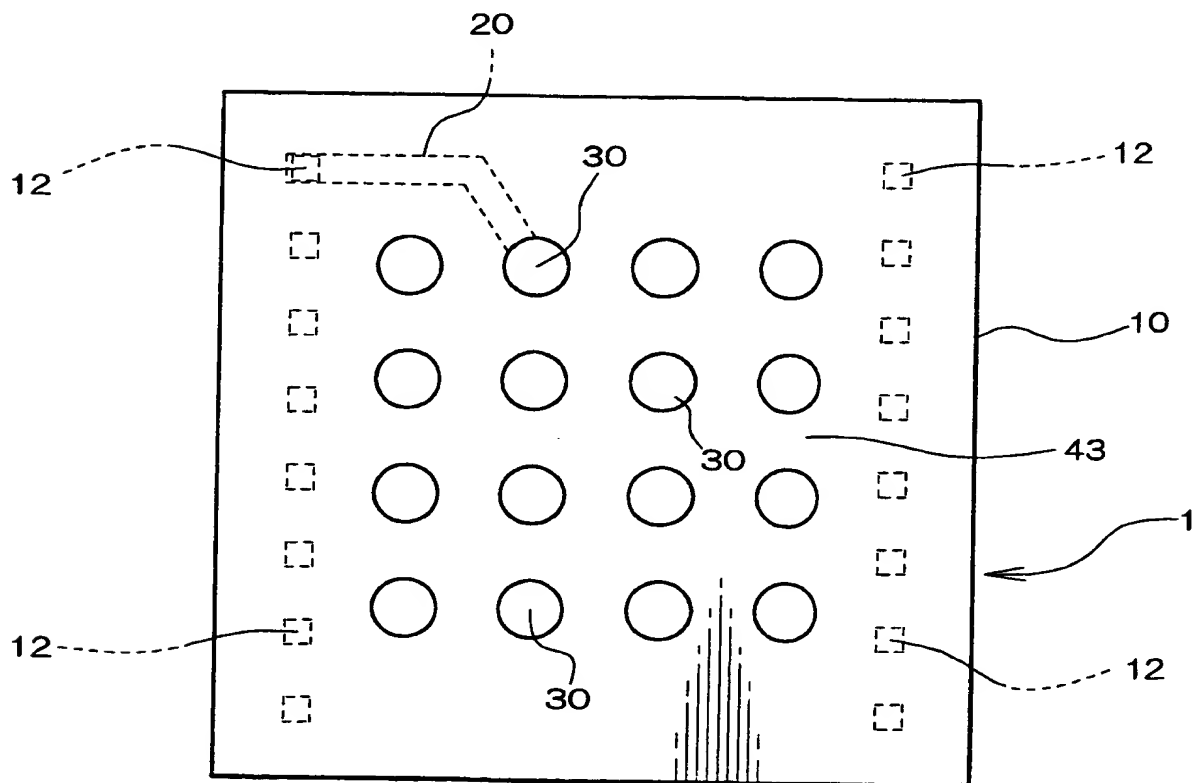


FIG. 2



2 / 13

FIG. 3

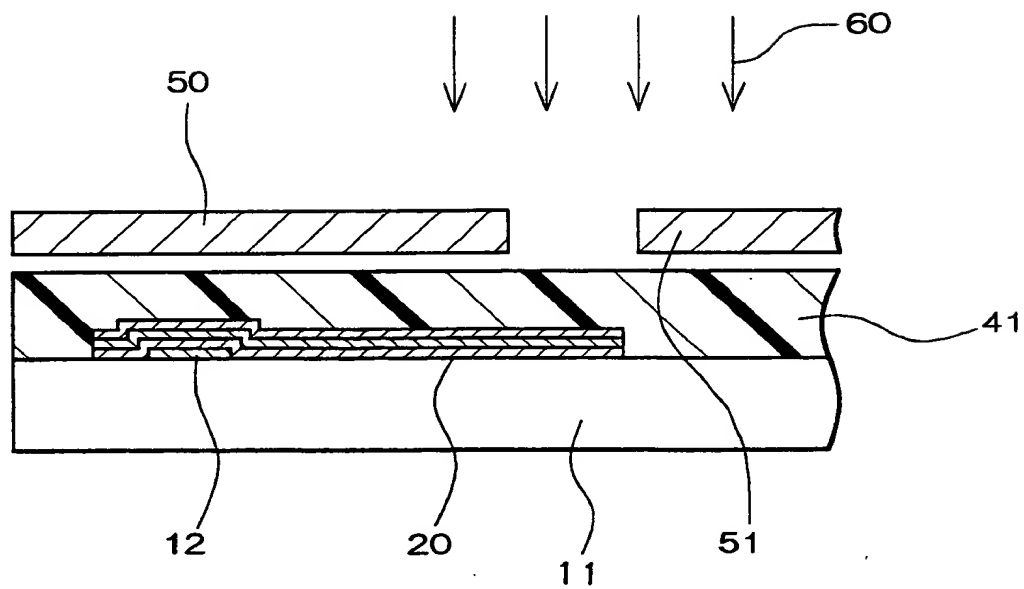
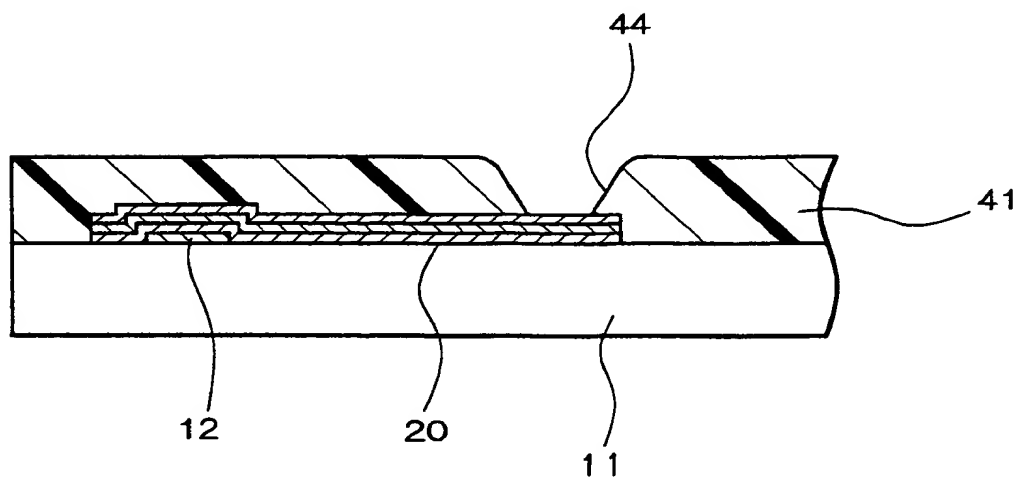
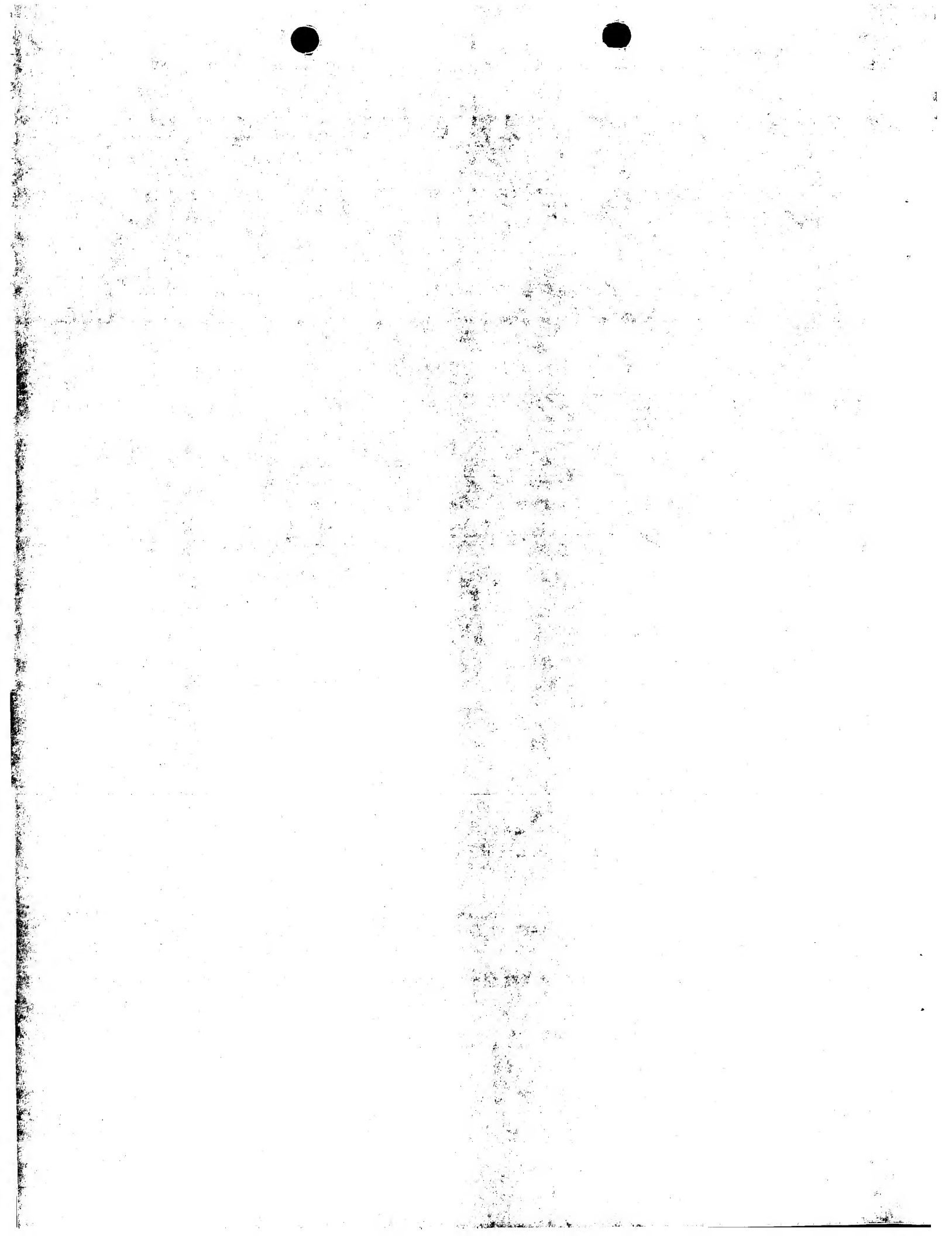


FIG. 4





3 / 13

FIG. 5

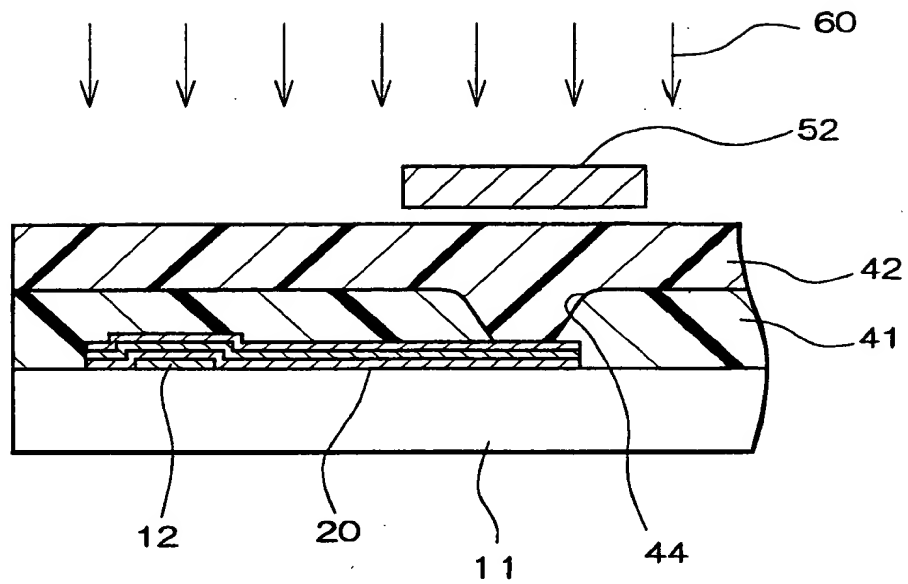
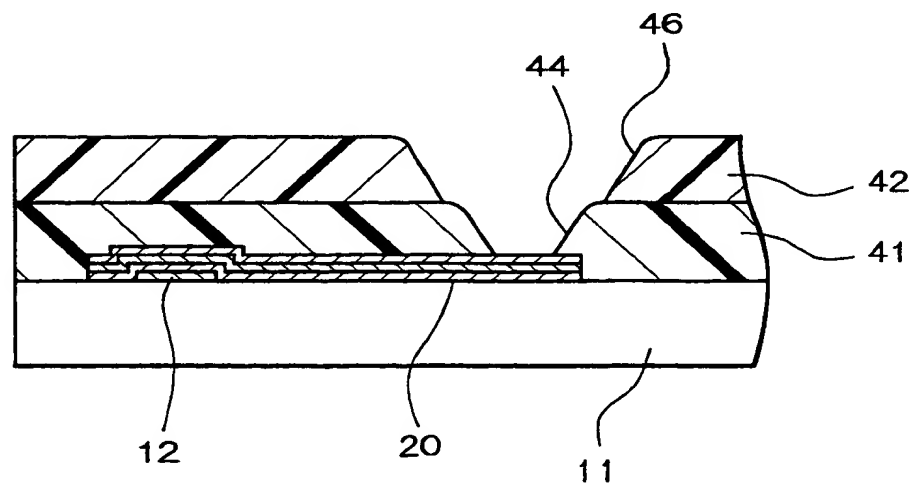


FIG. 6



4 / 13

FIG. 7

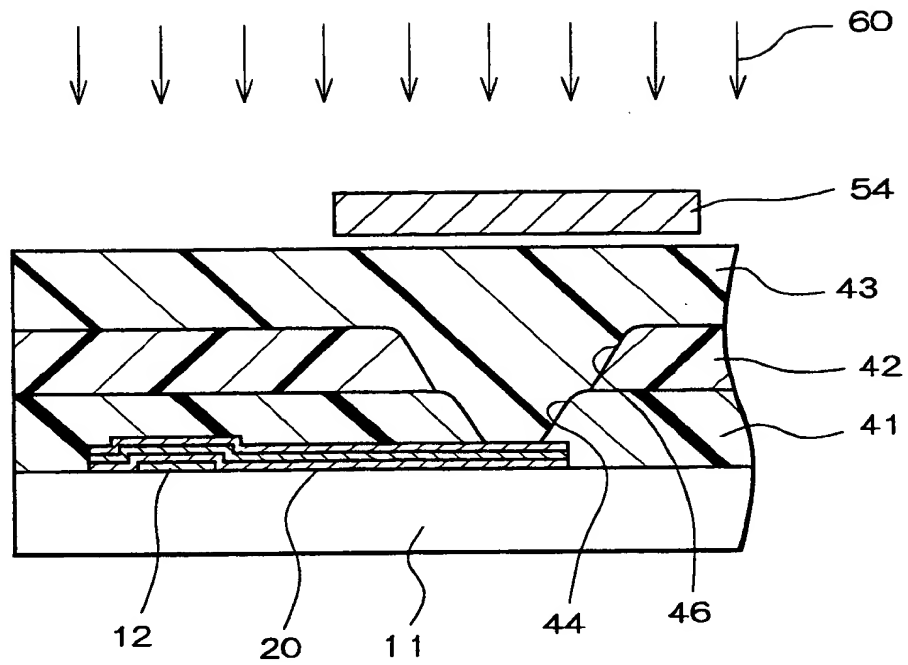
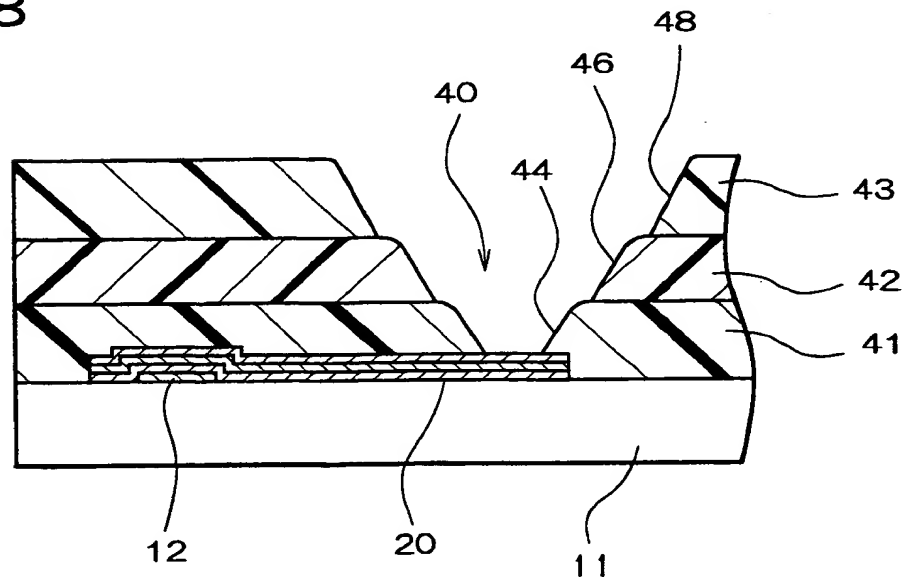


FIG. 8



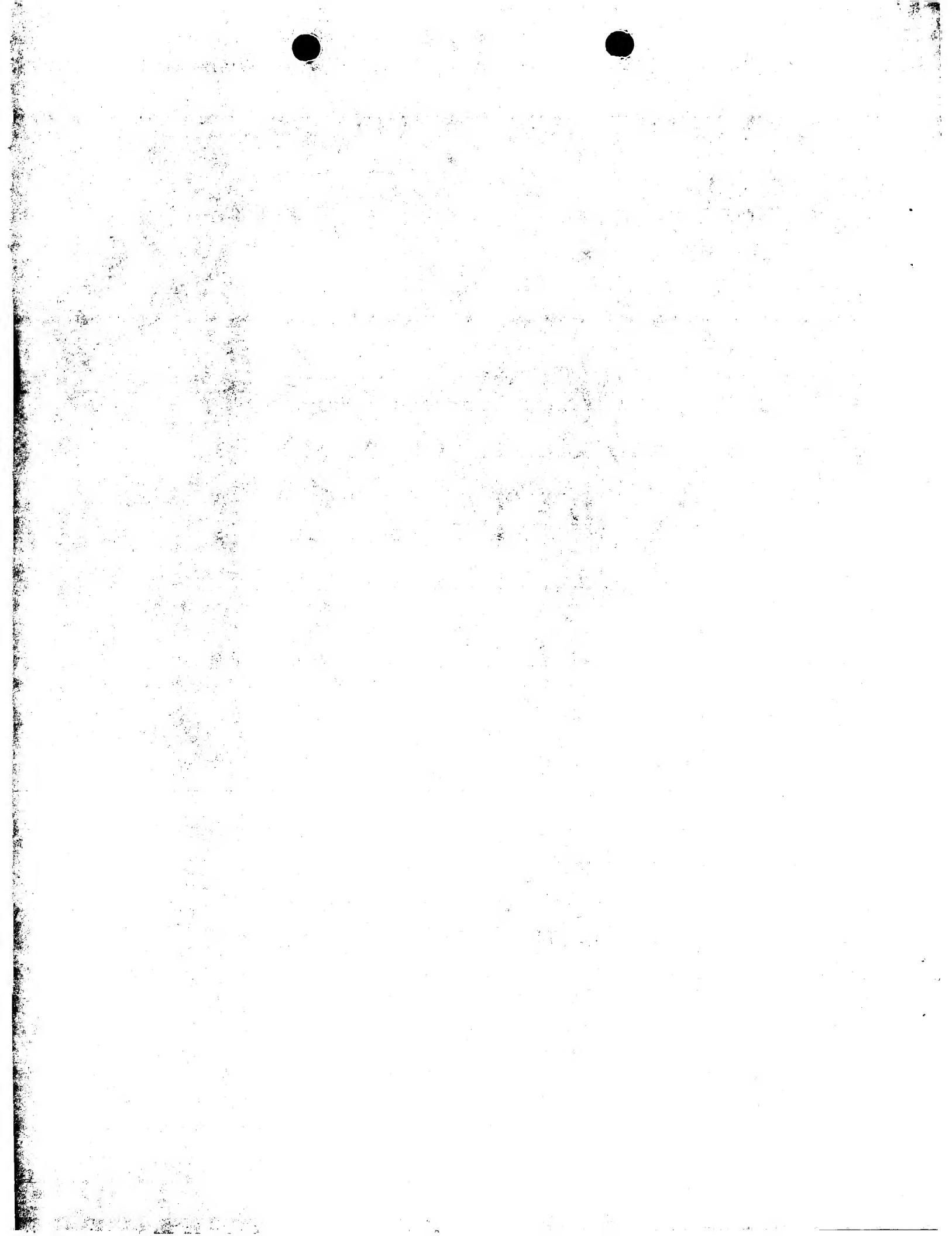
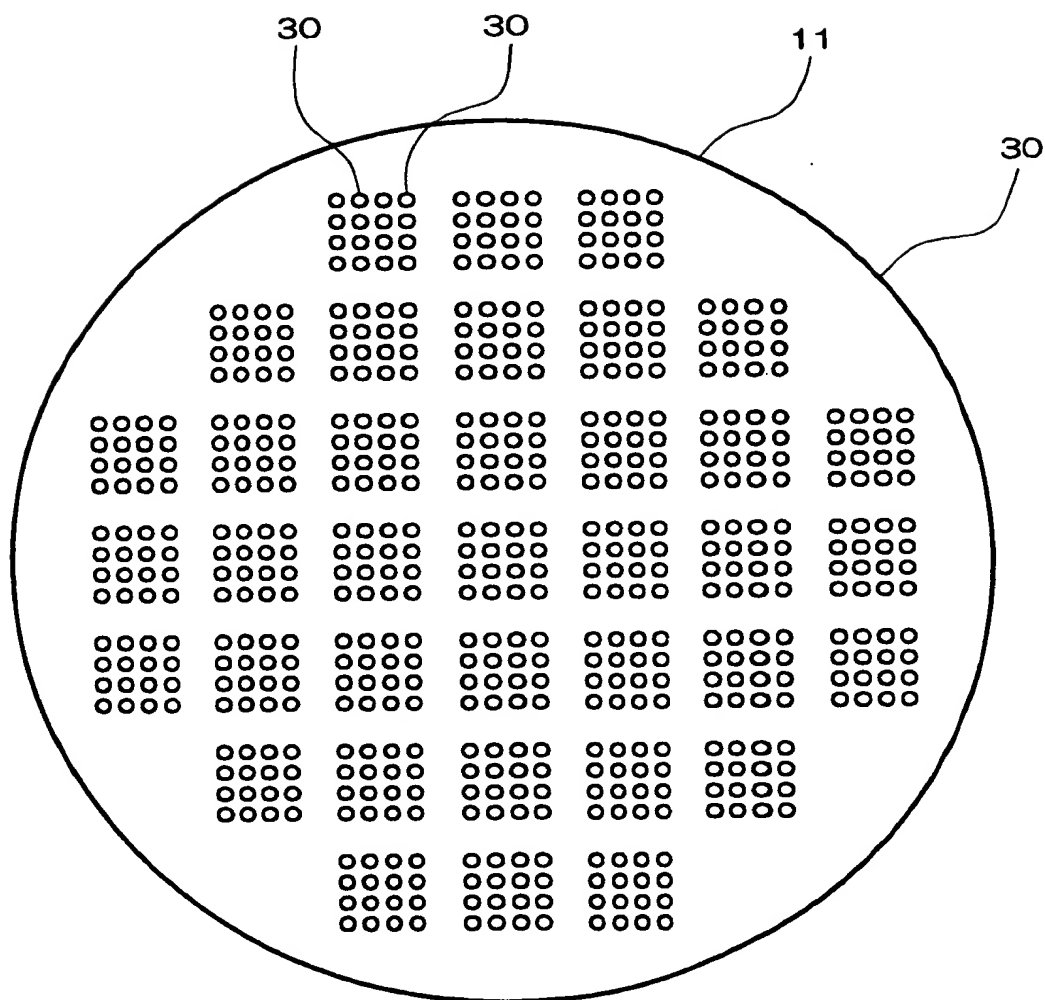
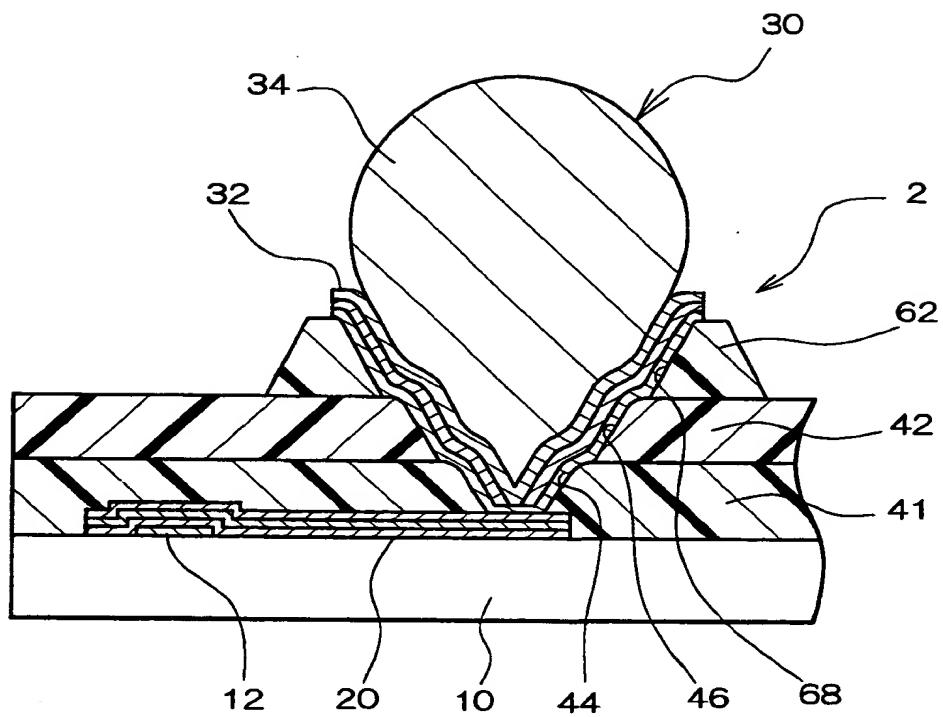


FIG. 9



6 / 13

FIG. 10



7 / 13

FIG. 11

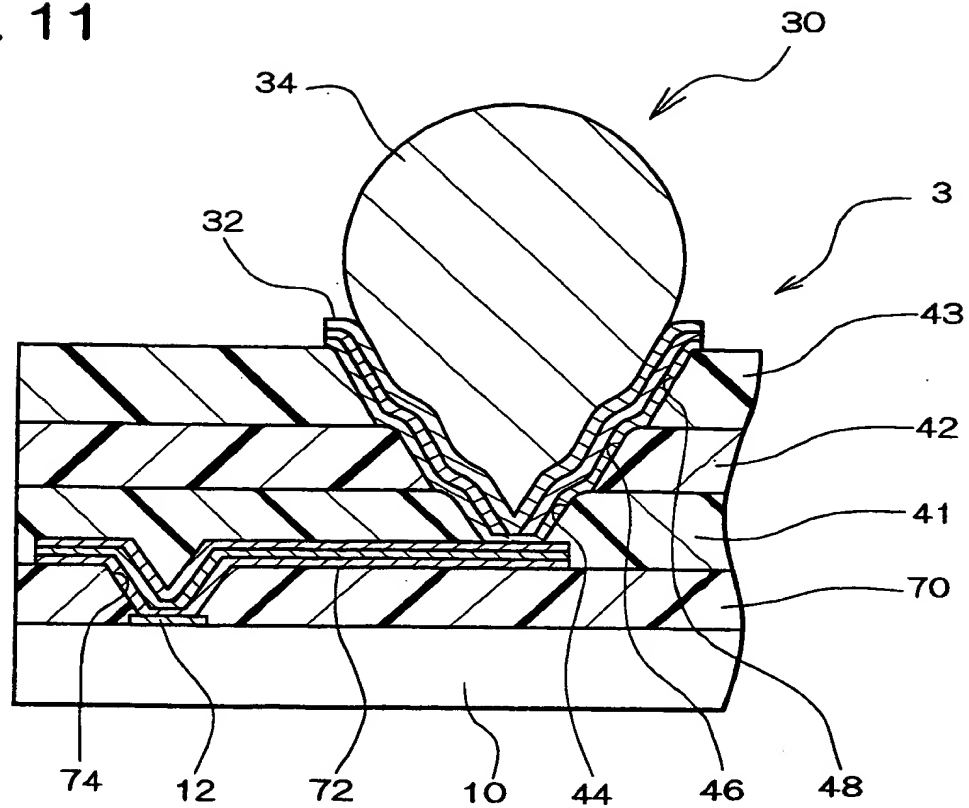
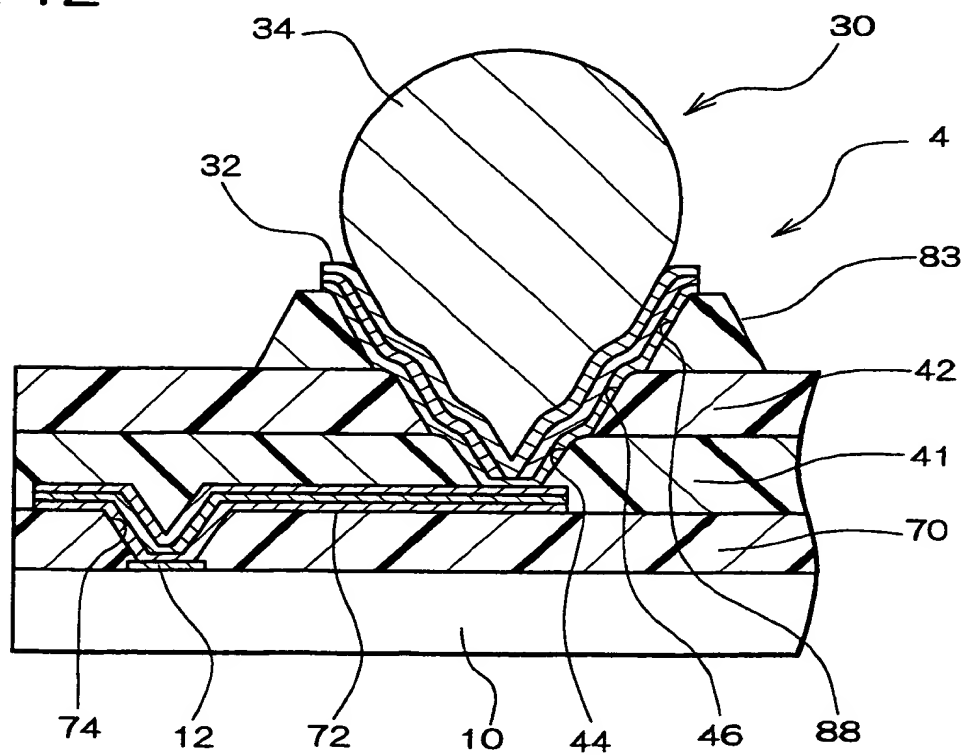


FIG. 12



8 / 13

FIG. 13

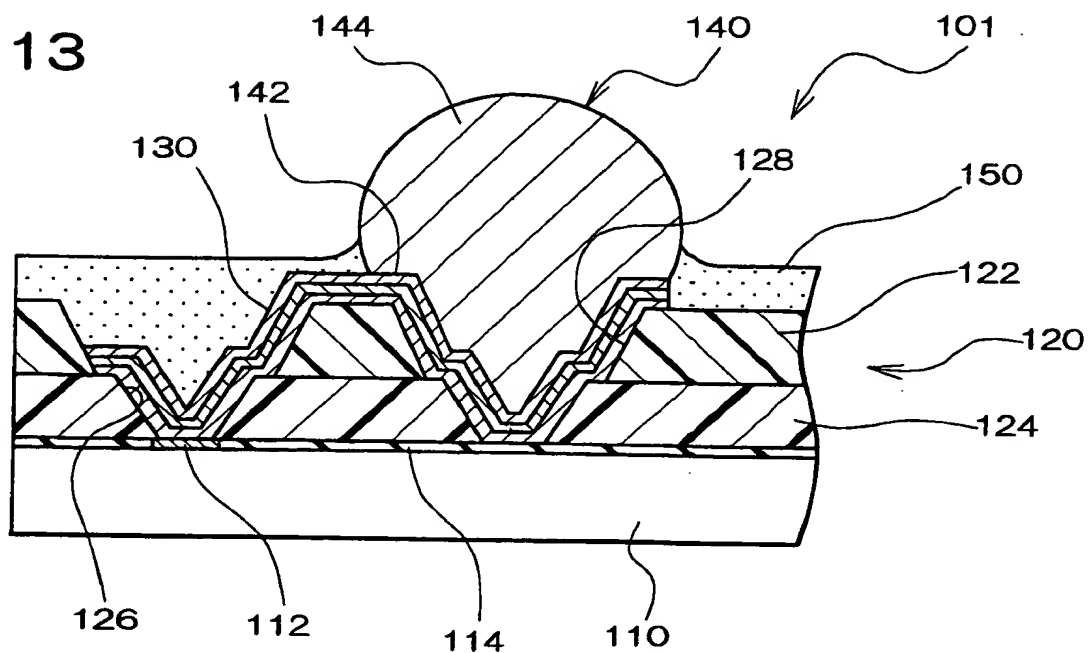
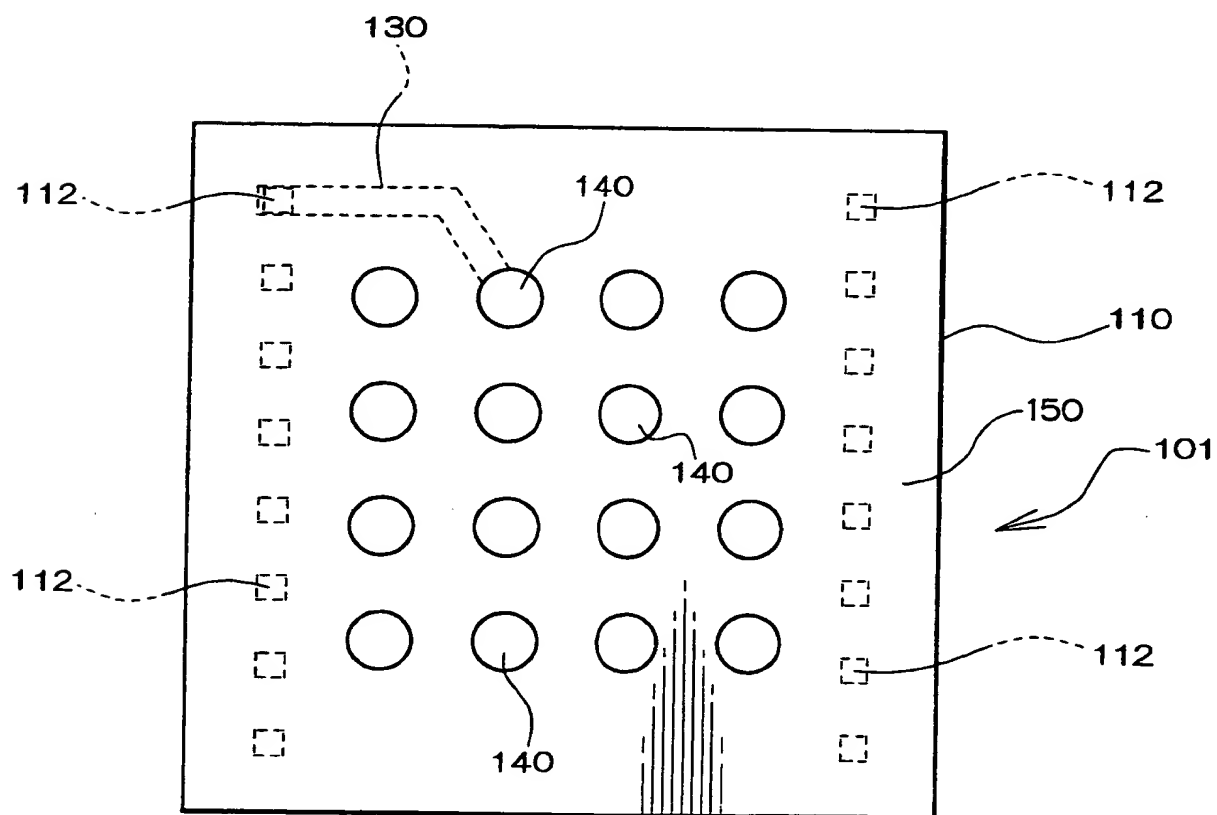


FIG. 14



10 / 13

FIG. 16

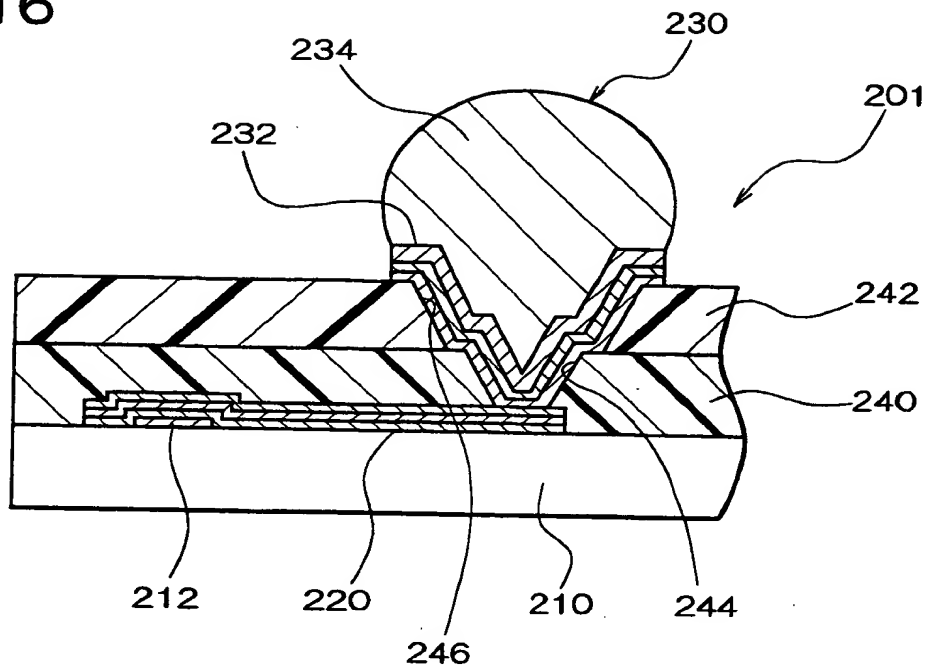
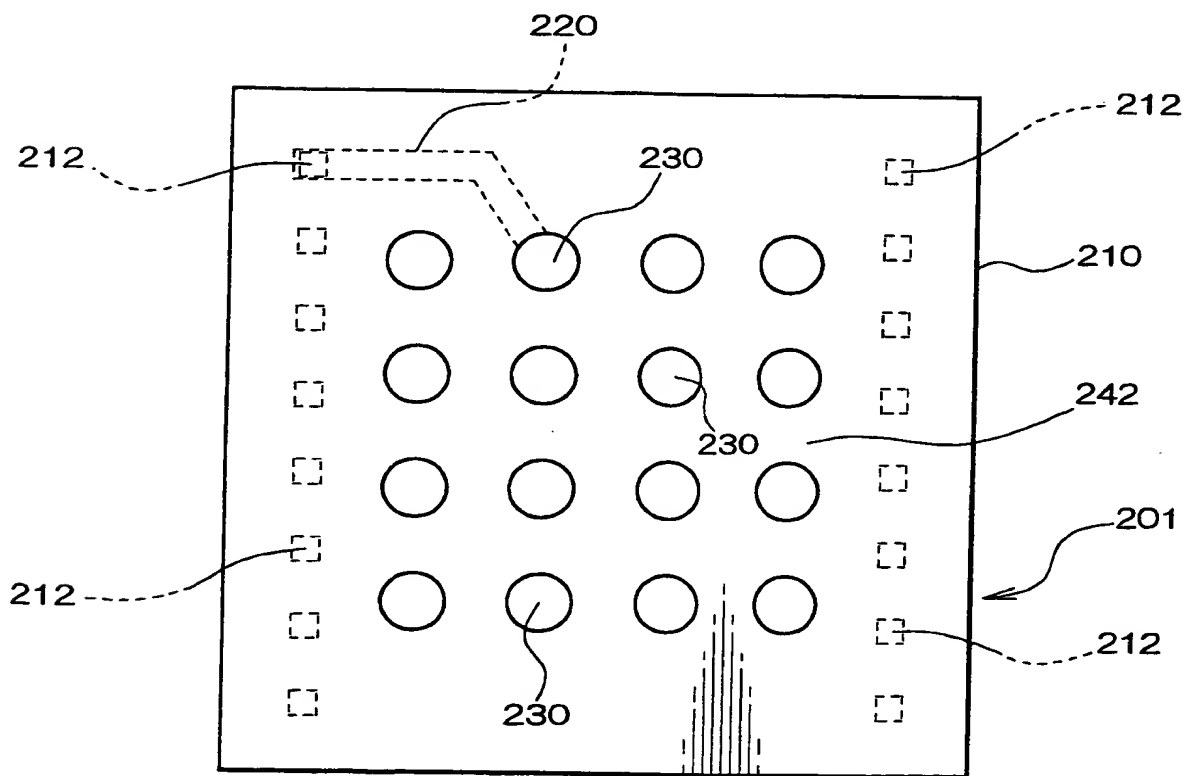
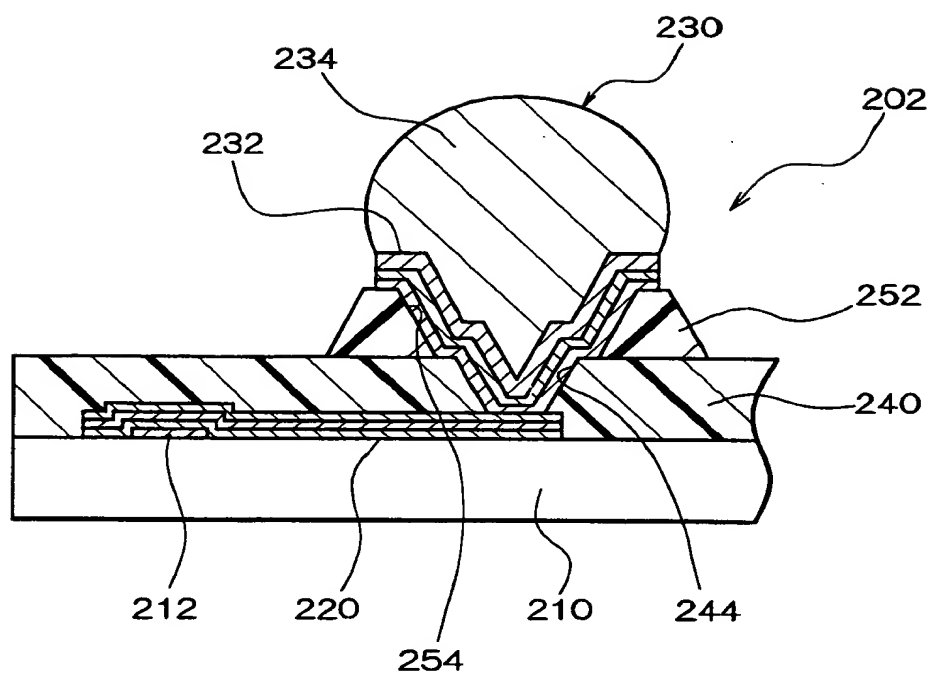


FIG. 17



11 / 13

FIG. 18



12 / 13

FIG. 19

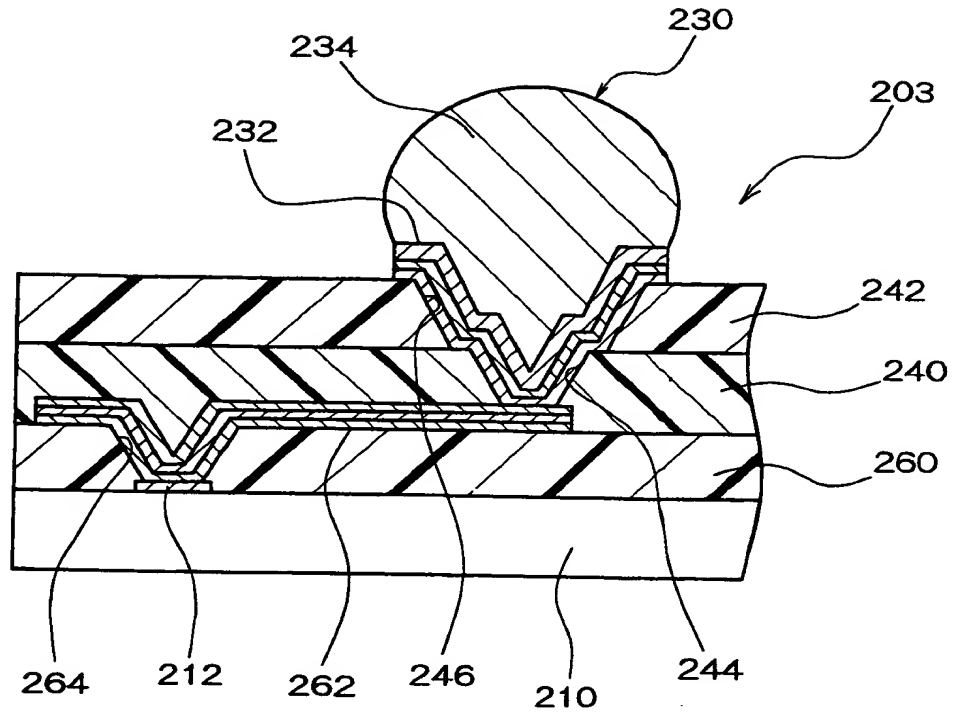
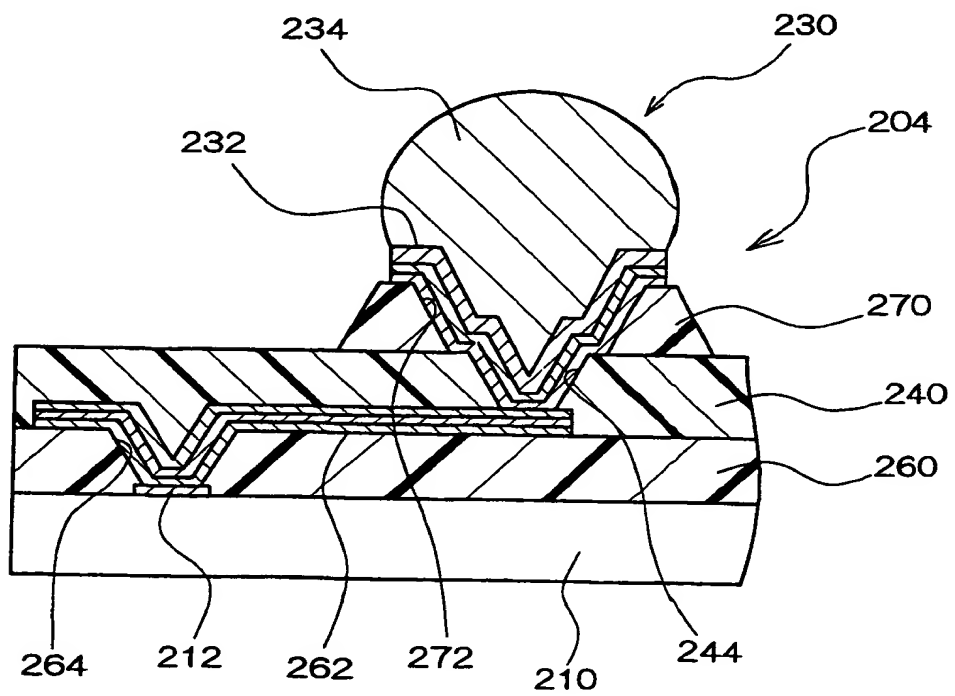


FIG. 20



13 / 13

FIG. 21

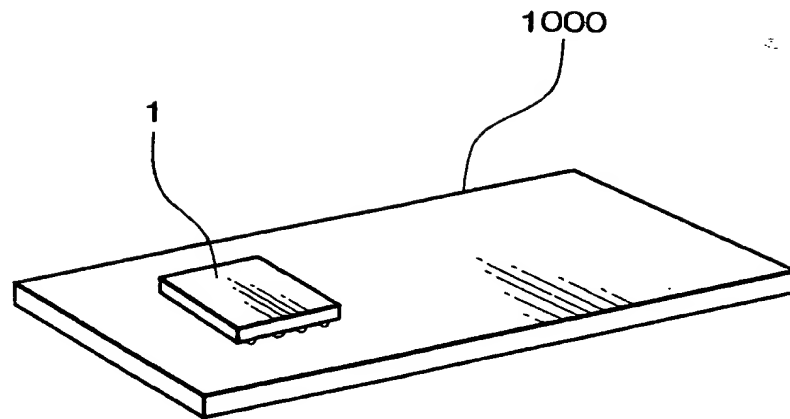
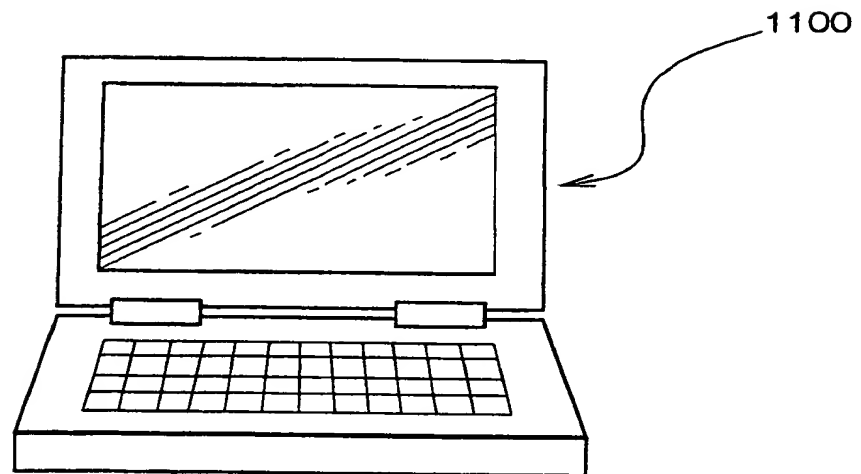


FIG. 22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01387

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/60, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	JP, 11-204560, A (Matsushita Electronic Corporation), 30 July, 1999 (30.07.99), column 5, line 41 to column 8, line 44; Figs. 2,3 (Family: none)	1-3, 6, 8, 10- 12, 21, 23, 25, 27-31
PX	JP, 2000-036509, A (Toshiba Corporation), 02 February, 2000 (02.02.2000), Fig. 6 (Family: none)	1-3, 5, 6, 8, 10
PA	JP, 11-307563, A (Matsushita Electronic Corporation), 05 November, 1999 (05.11.99), Fig. 3 (Family: none)	13
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No.111524/1985 (Laid-open No.19741/1987) (Naniwa K.K.), 05 February, 1987 (05.02.87), Fig. 1 (Family: none)	13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2000 (06.06.00)

Date of mailing of the international search report
20 June, 2000 (20.06.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/60, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国特許実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP, 11-204560, A (松下電子工業株式会社), 30. 7月. 1999 (30. 07. 99), 第5欄41行~第8欄44行, 図2, 図3 (ファミリーなし)	1-3, 6, 8, 10- 12, 21, 23, 25, 27-31
PX	JP, 2000-036509, A (株式会社東芝), 2. 2月. 2000 (02. 02. 2000), 図6 (ファミリーなし)	1-3, 5, 6, 8, 10
PA	JP, 11-307563, A (松下電子工業株式会社), 5. 11日. 1999 (05. 11. 99),	13

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06. 06. 00

国際調査報告の発送日

20.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立



4R

8831

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	図3 (ファミリーなし) 日本国実用新案登録出願60-111524号 (日本国実用新案登録出願公開62-19741号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (浪花株式会社) , 5. 2月. 1987 (05. 02. 87) , 第1図 (ファミリーなし)	13

P C T

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 E P P C - 2 7 7 4	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。		
国際出願番号 PCT/J P 0 0 / 0 1 3 8 7	国際出願日 (日.月.年) 0 8 . 0 3 . 0 0	優先日 (日.月.年) 1 6 . 0 3 . 9 9	
出願人 (氏名又は名称) セイコーエプソン株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/60, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2000年

日本国特許実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP, 11-204560, A (松下電子工業株式会社), 30. 7月. 1999 (30. 07. 99), 第5欄41行~第8欄44行, 図2, 図3 (ファミリーなし)	1-3, 6, 8, 10- 12, 21, 23, 25, 27-31
PX	JP, 2000-036509, A (株式会社東芝), 2. 2月. 2000 (02. 02. 2000), 図6 (ファミリーなし)	1-3, 5, 6, 8, 10
PA	JP, 11-307563, A (松下電子工業株式会社), 5. 11日. 1999 (05. 11. 99),	13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06. 06. 00

国際調査報告の発送日

20.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池淵 立



4R

8831

電話番号 03-3581-1101 内線 3469

THIS PAGE BLANK (USPTO)

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	図3 (ファミリーなし) 日本国実用新案登録出願60-111524号 (日本国実用新案登録出願公開62-19741号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (浪花株式会社) , 5. 2月. 1987 (05. 02. 87) , 第1図 (ファミリーなし)	13

THIS PAGE BLANK (USPTO)